

Taiwan

<http://www.tsia.org.tw/>

2017/April No.80

TSIA

Semiconductor

Industry Association

專題報導

- 從 MWC 2017 看行動通訊產業關注焦點
- IoT 風潮下設計驗證技術的發展趨勢

國際瞭望

- 2017 年 2 月 JSTC 會議報告
- 2017 第一次 WSC 環安小組會議記要
- 2017 JEDEC Q1 美國聖安東尼奧會議報告



如果您不是WSTS會員
又需要參考WSTS Data
請看這裡!!!

世界最具公信力的 半導體市場需求面 WSTS統計資料

為加強服務台灣及周邊部分亞太區非WSTS會員，TSIA與WSTS簽署Distribution License Agreement，代為銷售WSTS統計資料給無End Product & foundry之非WSTS會員。訂購費用為TSIA會員價NTD55,000/年，非TSIA會員NTD110,000/年，以服務會員廠商。意者請洽協會03-591-7124陳昱錡經理，或上網wsts.tsia.org.tw。

亞太區銷售點

※代理銷售地區包括：台灣、香港、中國大陸、馬來西亞、印尼、菲律賓

- ※WSTS出版品包括：
- ☆ 藍皮書 (Blue Book)，每月出版
 - ☆ 綠皮書 (Green Book)，每月出版
 - ☆ 預測報告 (Forecast Report)，每半年出版
 - ☆ 年度報告 (Annual Report)，每年出版

※年度訂購費用：TSIA會員價NTD55,000 / 非TSIA會員NTD110,000

世界半導體貿易統計協會(World Semiconductor Trade Statistics；簡稱WSTS)已有超過40年歷史，1975年由美國半導體協會(SIA)創立，當年即有美國十大半導體廠商加入；1981、1984、1992、1995年分別有歐洲、日本、韓國、台灣主要半導體廠商先後加入，並由各地區的半導體協會協助會員業務聯絡及新會員招募，如台灣區即由台灣半導體產業協會(TSIA)協助。至2002年WSTS的會員統計資料顯示，已含全球半導體90%的產出，據使用過此資料的會員表示，全球各分析機構的報告，以WSTS統計的歷史資料，最為準確，對未來市場產品的分析，最具參考性。

WSTS目前已有全球近50家半導體廠商加入，依地理及產能分佈，全球分為美國區(含Altera、Micron、TI、Xilinx…)、歐洲區(含Infineon、NXP、STMicroelectronics…)、日本區(含TOSHIBA、MATSUSHITA、SONY…)、亞太區以韓國、台灣為主(含Macronix、Nuvoton、Samsung、SK Hynix…)等四大區。會員每月需按WSTS所規範的產品、產業及地理區域格式，填寫實際出貨數字，並依此每月出版藍皮書(Blue Book)、綠皮書(Green Book)，每季出版全球四大區域出貨資料，每年出版產業應用及區域出貨分析給各會員作為市場分析參考；並於每半年在全球四大區域輪流召開半年會，於會中檢討WSTS格式以因應外界變化而隨時修正，並由會員輪流作各區域的總體經濟分析，產品及產業應用分析，並對下二年度依每季的產品需求作出未來的預測。WSTS半年會旨在對全球半導體廠商做未來兩年全球半導體的預測。在會議中，各半導體公司代表針對不同的產品線，發表並交換對未來預測的看法。經過熱烈討論，達成共同的數字預測後，再對外界發表。WSTS預測報告(Forecast Report)對公司之產業預測具參考價值。另依據以上資料彙整出版年度報告(Annual Report)，亦深具參考價值，歡迎訂購。

Call Sponsor

2017 IC DESIGN 聯誼會籌辦及贊助方案

2015 第一場：9月10日 IC設計之友聯誼會 | IDA Ireland 愛爾蘭投資發展局贊助。
 第二場：12月3日 IC設計之友歲末聯誼晚宴 | 絡達科技贊助

2016 第一場：7月21日 IC設計之友聯誼會 | 台灣新思科技贊助
 第二場：11月30日 IC設計之友聯誼會 | Cadence 益華電腦贊助

尋求2017上半年兩次聯誼活動贊助廠商，請提供公司Logo，活動贊助廠商將依級次，有專題演講機會、蒞會致詞、邀請貴公司或客戶參加免費名額等，專題以業界有興趣之主題為主，可偏軟性題目。

方式：講座、品酒、Golf、Music、Art Exhibition...

贊助級次	單位(新台幣)	權 益			名額限制	
鑽 石	伍萬元	CEO蒞會致詞	專題x1	宴會免費名額5名(可邀請客戶)	文宣放置贊助商logo	獨家
白 金	參萬元	CEO蒞會致詞	專題x1	宴會免費名額3名	文宣放置贊助商logo	1家
金 級	貳萬元			宴會免費名額2名	文宣放置贊助商logo	3家
銀 級	壹萬元			宴會免費名額1名	文宣放置贊助商logo	不限



歡迎有興趣廠商請與TSIA聯繫

Manager **Doris Chen**
03-5917124 / doris@tsia.org.tw

Senior Manager **Julie Wu**
03-5913477 / julie@tsia.org.tw

TSIA 2018 半導體獎募款

鼓勵年輕學子投入半導體產業前瞻研發，需要您的支持與參與！

歡迎公司或個人贊助本計畫，本案開立收據，可以抵稅。讓我們共同為產業長遠發展及培養下一代盡一分心力。

TSIA 理監事會於 2013年6月成立產學委員會，宗旨為協助會員善用學術界資源，以提升半導體產業的研發力與競爭力，促進產業與學界之互動交流，培養學生早期瞭解並參與半導體產業，促成青年才子以半導體產業為其終身事業。

為了鼓勵青年學子從事半導體研發，自2013年起設立「TSIA 博士研究生半導體獎」及「TSIA 博士後研究員半導體獎」，並於2014年首次頒發，今年已邁入第四屆，由本會遴選委員會全體委員，秉著公平嚴謹的原則，進行評審作業。為更符合獎項定義，自2016年起更名為「TSIA 半導體獎：具博士學位之新進研究人員」及「TSIA 半導體獎：博士研究生」，2017 TSIA 半導體獎：具博士學位之新進研究人員，由交通大學陳柏宏副教授及成功大學高國興助理教授獲獎；博士研究生分別由台大、交大、成大、清大、中山等五校10位同學獲獎，得獎人獲頒贈獎狀及新台幣8萬元，以資鼓勵，並於4月6日TSIA會員大會頒獎表揚。

限於經費，目前本獎項僅開放台大、交大、成大、清大、中央、中興、中正、中山、北科大、台科大等十校博士生以上申請，然為鼓勵更多有志於半導體前瞻研發的傑出年輕人參與，期許未來有能量擴大範圍，懇請公司團體或個人贊助本計畫，所募款項將用以支付獎金及運作相關行政費用。TSIA 半導體獎款項為專款專用，保管單位為TSIA秘書處。

關於TSIA半導體捐款、得獎人公告及新聞，歡迎上網 www.tsia.org.tw 或請聯繫協會秘書處：吳素敏資深經理，電話：03-591-3477，Email：julie@tsia.org.tw。

2017 TSIA 半導體獎得獎人：

No	組別	姓名	學校	系所
1	具博士學位之新進研究人員	陳柏宏	交通大學	電子研究所
2		高國興	成功大學	電機工程學系

No	組別	姓名	學校	系所
1	博士研究生	譚偉鈞	台灣大學	物理學系
2		顏智洋	台灣大學	電子工程學研究所
3		陳衍昊	清華大學	資訊工程學系
4		余昌鴻	交通大學	電子研究所
5		戴嘉岑	交通大學	電子研究所
6		李培瑜	交通大學	電子研究所
7		王奕翔	成功大學	電機工程學系
8		吳政鴻	成功大學	電機工程學系
9		吳佳恩	成功大學	電機工程學系
10		陳柏勳	中山大學	物理學系

啟動TSIA 產學委員會產學基金募集

本案開收據，可以抵稅，敬邀共同參與！

TSIA理監事會於2013年6月成立產學委員會，宗旨為協助會員善用學術界資源，以提升半導體產業的研發力與競爭力，促進產業與學界之互動交流，培養學生早期瞭解並參與半導體產業，促成青年才子以半導體產業為其終身事業。

由於今年計畫持續擴大展開，產學委員會相關計畫執行所需費用需要您的支持，我們邀請所有會員公司共同參與及支持TSIA產學委員會產學基金募集，更歡迎個人捐款，共襄盛舉，以利後續工作之推動，2016年產學基金感謝全體理監事公司分攤費用各新台幣6萬元，以及感謝以下非理監事公司贊助產學基金，包括台灣先藝、茂德、聯亞、華懋科技、美商科磊及個人等捐款。

2017年產學委員會正在積極進行的工作計劃有：

- 一、協辦台灣半導體產學研發聯盟桂冠計畫 (TIARA)。
- 二、TSIA半導體發展主軸行動方案-建構物聯網新竹智慧城市行動方案之推動。
- 三、大專院校各校校園演講安排。
- 四、許炳堅教授擔任本會產業校園大使持續至優質大學及高中巡迴演講。
- 五、產學基金籌措：目的為支付產學合作運作過程中之必要行政費用，如會議費、專案執行費用、贊助支援TSIA半導體獎不足款項及未來陸續新增的產學合作計劃等。

產學基金為專款專用，保管單位為TSIA秘書處。敬請填寫下列回函並回傳至03-582-0056或email至julie@tsia.org.tw，並與TSIA秘書處聯絡，我們會儘快與您聯絡繳款事項，謝謝。

本案聯絡人：台灣半導體產業協會 吳素敏 資深經理

Tel : 03-591-3477 Fax : 03-582-0056 E-mail : julie@tsia.org.tw

公司名稱 / 個人姓名：_____

聯絡人 / 職稱：_____ 電話：_____

E-mail：_____ 傳真：_____

金額：NT\$ _____ (公司/單位 NT\$25,000起，個人無金額限制)



台灣半導體產業協會大事紀要

1996

- 11月26日台灣半導體產業協會(TSIA)成立，由史欽泰先生擔任首任理事長，陸續成立生產製造、技術藍圖、IC設計、市場資訊、環安衛、財務、半導體學生等委員會及產學推動小組。

1998

- 開始執行TSIA台灣半導體產業動態觀察季報、中英新聞稿、發表會，提供完整台灣半導體產業訊息。

1999

- 史欽泰先生當選第二屆理事長。
- 加入「世界半導體理事會」(World Semiconductor Council, WSC) 國際組織。
- 加入「國際半導體產能統計協會」(Semiconductor International Capacity Statistics, SICAS) 國際組織。
- 向財政部關政司提出控告美國廠商在台傾銷DRAM訴訟，是台灣貿易史上第一樁對外來電子產品控告案例。

2000

- 張忠謀先生當選第三屆理事長。
- 首次邀請JSTC會議來台舉行。
- 加入「世界半導體貿易統計協會」(World Semiconductor Trade Statistics, WSTS) 國際組織。
- DRAM反傾銷案勝訴。
- 參與半導體技術藍圖國際組織(International Technology Roadmap for Semiconductors, ITRS)，共同制定半導體相關技術未來15年之技術藍圖。

2002

- SRAM反傾銷案勝訴。
- 成功爭取開放赴大陸投資8吋及8吋以下晶圓廠。
- 代表封測業者爭取在根留台灣原則下，赴大陸投資。
- 聯合IC設計業者向財政部爭取"IC設計業之租稅優惠合理化"。

2007

- TSIA首次於台灣主辦JSTC會議。
- TSIA與經濟部簽訂溫室氣體排放減量自願協議書。
- TSIA與印度半導體協會簽署合作備忘錄。

2006

- 黃崇仁先生當選第六屆理事長。
- 台灣首次出任JEDEC MMCA Compliance Committee co-chair。

2005

- 成立「消費性電子記憶體介面標準工作小組」(Consumer Electronics Memory Interface Forum)，協助廠商積極參與JEDEC國際標準制定組織。
- TSIA與行政院環保署簽訂全氟化物排放減量合作備忘錄。

2004

- 黃崇仁先生當選第五屆理事長。
- 成立智慧財產權工作小組(TSIA IP Working Group)，並參與世界半導體理事會(WSC)之各項智慧財產權議題討論。

2003

- 張忠謀先生當選第四屆理事長。
- 開始半導體學院人才培訓計畫。
- 首度與ISMI合辦AEC/APC-(Advanced Equipment Control/Advanced Process Control) Asia Symposium。

2008

- TSIA首次主辦WSC CEO會議，並由黃崇仁理事長出任WSC全球主席。
- 向政府提出積極引進國際專業人才、加速開放半導體產業西進建言。
- 2008-2009針對促產落日及產創條例產業政策，整合業界意見並與政府溝通。

2009

- 蔡力行先生當選第七屆理事長。
- JEDEC Flash Storage論壇首次於台北舉行。

2010

- 首次成功爭取JEDEC國際標準制定會議來台舉行。
- 出任JEDEC UFSA創始理事。
- 台灣半導體產業在2010年底的全氟化物(PFC)溫室氣體總絕對值排放量，已下降至1997年與1999年平均排放量的百分之九十以下，成功達成TSIA之自願減量目標，也兌現本會在WSC、及對我國環保署與工業局的承諾。

2011

- 蔡力行先生當選第八屆理事長。
- 首次於WSTS世界半導體貿易統計協會出任全球理事長。
- 首度主辦ISSM (International Symposium on Semiconductor Manufacturing)會議。

2012

- TSIA再次於台灣主辦JSTC會議。
- TSIA 15週年慶祝活動－【啟航下一個黃金盛世半導體產業高峰論壇】。

2017

- 魏哲家先生當選第十一屆理事長。
- 簽署廢棄物清理廠商管理自律公約。
- 推動TSIA半導體發展主軸－『建構物聯網新竹(竹北)智慧城市行動方案』。

2016

- 蔡英文總統當選人蒞臨台灣半導體產業之旅。
- 成立TSIA IC設計產業策略委員會。
- WSC 20週年由盧超群理事長帶團代表協會發表演說並簽署首爾宣言。
- 協助推動成立台灣半導體產學研發聯盟。
- 首次推廣出版「數位時代的孫悟空」，推動科學教育，啟動12年國教巡迴演講。
- 與電電公會合作推展IC產品進入應用導向，建入多元客戶使用。
- 與TAIROA、TMBA、SEMI簽署合作備忘錄。

2015

- 盧超群先生當選第十屆理事長。
- 協助台灣半導體產學聯盟成立推動桂冠計畫/半導體教授研發及博碩士研究生投入。
- 邀請2014諾貝爾獎得主中村修二博士演講及座談。
- 爭取員工分紅條例公司法修法並得緩課五年。
- 成立能源委員會。
- 成立JSTC委員會。

2014

- 首次舉辦TSIA年會，發行年刊及頒發半導體獎。
- 出版半導體發展主軸計劃白皮書。
- TSIA主辦WSC CEO會議，並由盧超群理事長出任WSC全球主席。
- 推動半導體產學聯盟。
- 主辦台灣半導體產業創新發展模式專業論壇。

2013

- 盧超群先生當選第九屆理事長，改組產學委員會及成立「TSIA半導體遴選委員會」。
- TSIA理監事會推動產業發展研討會。
- 成功爭取JEDEC國際標準制定會議來台舉行。
- 推動台灣半導體產業創新發展模式策略會議。



創刊日期：中華民國86年7月
 出版字號：新聞局版台省誌字1086號
 發行人：魏哲家
 總編輯：伍道沅
 執行編輯：陳淑芬/江珮君
 編輯小組：吳素敏/石英堂/黃佳淑/陳昱錡
 發行所：台灣半導體產業協會
 地址：新竹縣竹東鎮中興路四段195號51館1246室
 網址：www.tsia.org.tw
 電話：(03)591-3181
 傳真：(03)582-0056
 E-mail: candy@tsia.org.tw
 美術編輯：有巒廣告有限公司
 地址：新竹縣竹北市光明六路301之3號4F
 電話：(03)558-6363
 傳真：(03)558-6362
 電子書製作：龍環文化事業股份有限公司
 地址：新北市中和區建一路176號13F
 電話：(02)8227-2268
 傳真：(02)8227-1098

01 編者的話

專題報導

02 從 MWC 2017 看行動通訊產業關注焦點
 陳梅鈴產業分析師/工研院產經中心

08 IoT 風潮下設計驗證技術的發展趨勢
 Cadence 益華電腦系統設計驗證團隊

國際瞭望

10 2017 年 2 月 JSTC 會議報告
 陳淑芬協理/TSIA

14 2017 第一次 WSC 環安小組會議記要
 呂慶慧資深研究員/工業技術研究院

16 2017 JEDEC Q1 美國聖安東尼奧會議報告
 宣敬業經理/聯發科
 蕭子哲處長/晶豪科技

會務報導

22 TSIA 第十一屆理事長出爐
 黃佳淑經理/TSIA

24 TSIA 第十一屆第一次會員大會會議記錄暨花絮報導
 黃佳淑經理彙整/TSIA

27 TSIA 半導體獎得獎者介紹
 吳素敏資深經理/TSIA

40 2016 第四季暨全年台灣半導體產業回顧與展望
 TSIA；工研院IEK系統IC與製程研究部

42 2017 Q1 台灣半導體產業市場趨勢暨專題研討會活動報導
 陳昱錡經理/TSIA

43 TSIA 2017 Q1 校園巡迴講座系列
 吳素敏資深經理/TSIA

44 新會員介紹
 編輯部

48 TSIA 委員會活動摘要
 黃佳淑經理彙整/TSIA

遊憩人間

50 德國萊茵河浪漫之旅
 Stephen Tsai

編者的話

行動通訊產業的年度盛會-「2017世界行動通訊大會(MWC2017)」甫於2月底在巴塞隆納舉行，今年除了規模成長，參觀人數也破歷史新高。本期「專題報導」單元，特別邀請工研院產經中心分享從MWC 2017看行動通訊產業關注的焦點，並與會員分享行動通訊產業未來的發展趨勢。而隨著IoT(物聯網)的興起，設計驗證是近年來主要的成長領域之一，因此本期另一篇專題特邀請Cadence分享「IoT風潮下設計驗證技術的發展趨勢」，期能讓會員公司了解如何以更高效率打造出更完整且具競爭力的終端產品。

「國際瞭望」單元包括2017年2月於美國亞歷桑納州舉辦之JSTC會議報告、2017年第一次WSC環安小組會議記要、及2017 JEDEC Q1美國聖安東尼奧會議報告，期能帶給會員國際間半導體相關活動訊息，並協助會員了解各國廠商所關注之議題。若會員公司對相關國際活動有興趣或建議，歡迎洽詢本會秘書處。

除了持續積極參與國際半導體相關活動之外，本期「會務報導」單元匯整了2016年半導體產業的回顧及展望、產業動態趨勢暨專題研討會、產學合作半導體校園講座系列、會員大會花絮報導、各委員會活動摘要、及新會員介紹等。感謝會員公司的持續支持及對本會活動的積極參與，若有相關建議，歡迎與秘書處聯繫。

TSIA近期及下半年的活動包括5月16-18日舉辦之「2017 IEEE International Interconnect Technology Conference (IITC)」、6月7-9日舉辦之「2017 IHTESH (International High Technology Environment Safety and Health) Conference」、6月14日舉辦之「2017 台灣IC設計年度研討會」、7月26日的「JEDEC Mobile and IOT Forum Hsinchu」、9月15日的「e-Manufacturing & Design Collaboration Symposium 2017」、及將於10月舉辦的TSIA年會等，歡迎會員與非會員公司踴躍報名參加。活動詳情與報名辦法請密切注意TSIA網站 www.tsia.org.tw 所發佈之訊息。

約稿

- 1.本簡訊歡迎您的投稿，文章主題範疇包含國內外半導體相關產業技術、經營、市場趨勢等。內文(不包含圖表)以不超過四千字為原則，本會保有刊登之權利。
- 2.來稿歡迎以中文打字電腦檔投稿，請註明您的真實姓名、通訊處、聯絡電話及服務單位或公司，稿件一經採用，稿費從優。
- 3.本簡訊歡迎廠商刊登廣告，全彩每頁三萬元，半頁一萬八千元。

會員廠商五折優待。意者請洽：江珮君 03-591-3181或email至：candy@tsia.org.tw

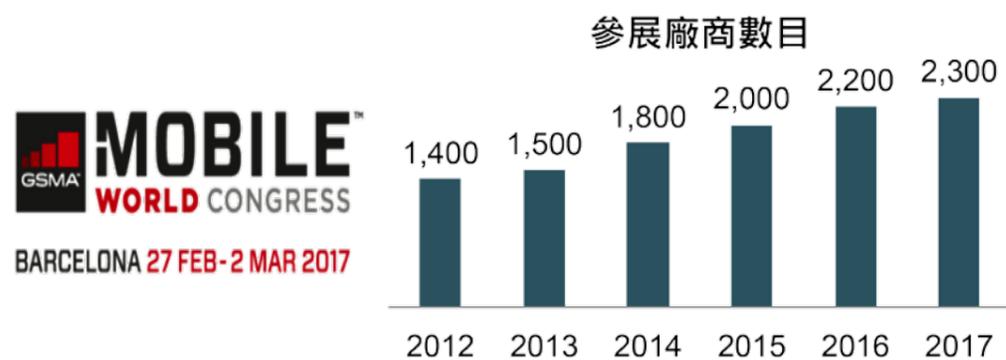
從 MWC 2017 看行動通訊產業 關注焦點

陳梅鈴產業分析師 / 工研院產經中心

2017年行動通訊世界大會MWC(Mobile World Congress)於2月26日揭開序幕，展開為期四天的展會，今年共計2,300家廠商參展，其中中國大陸廠商便占了15%以上，參觀人數也創下歷史新高，達到10萬8,000人，較2016年成長6%。

今年MWC的主軸為Mobile: The Next Element，寓意行動通訊將為下一個改變人類生活的重要元素。此次主辦單位GSMA舉辦了11場主題演講(Keynote)、超過30場的研討會(conference)，主題涵蓋了下一代行動通訊網路5G、物聯網(IoT平台/安全性、智慧城市、自動駕駛、車載服務)、人工智慧、機器學習、共享經濟、電子商務、穿戴裝置、Drone、AR/VR硬體/軟體/平台/介面、汽車、網路虛擬化、行動影音、數位內容(行動廣告、數位企業和員工、數位金融、電信運營商數位化)等，尤其聚焦在下一代行動通訊網路5G、智慧行動終端、以及車聯網等議題的進展。

圖1. MWC 2012-2017年參展廠商數目

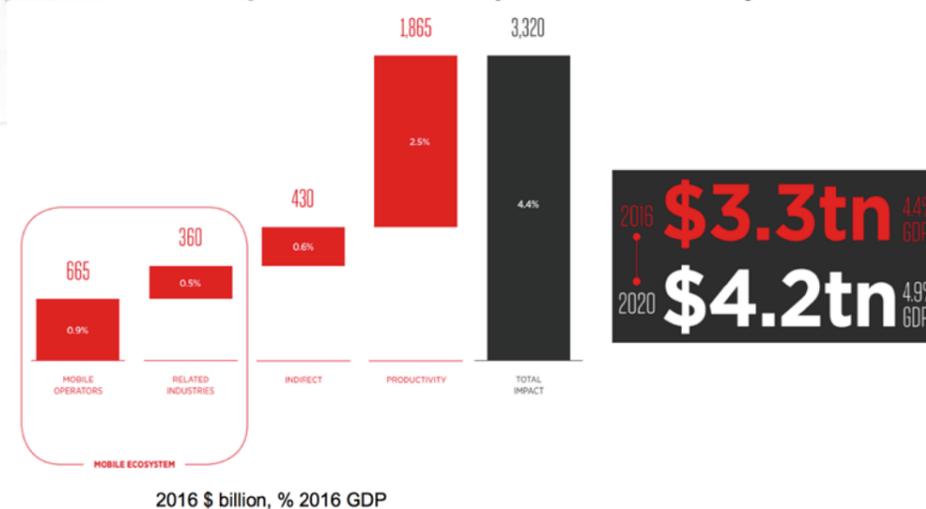


資料來源：GSMA；工研院IEK(2017/03)

2020年行動通訊產業GDP將達4.2兆

GSMA於展會前公布一份行動通訊市場的概況資料，其中指出行動寬頻普及率將從2016年的55%成長到2020年的73%，全球智慧型手機數量從2016年到2020年間，將增加至57億支，2016-2020年行動數據流量複合年成長率將達47%。在行動通訊服務營收表現上，雖然已發展國家的行動通訊營收成長率表現相對平緩，歐洲更是呈現下滑，但2016年德國、義大利、西班牙的營收已恢復成長(主要是透過費率的重新調整，利用較高的成本提供較好的容量方案)，另外，行動通訊產業GDP也將從2016年的3.3兆成長至2020年的4.2兆，種種數據顯示未來行動通訊產業仍有非常大的成長空間，而預爭取該產業商機的廠商大多會參與這場盛事，也代表著MWC對於行動通訊產業的重要性。

圖2. 2016-2020年，行動通訊產業GDP貢獻



資料來源：GSMA，工研院IEK(2017/03)

Mobile的下一個元素：人工智慧、機器人、下一代行動通訊網路5G

從主題演講來看，GSMA、電信業者Softbank、KT、Telefonica、Bharti紛紛表示人工智慧、機器人、下一代行動通訊網路5G將在未來行動通訊產業扮演重要角色，更為工業4.0的變革關鍵，其中Softbank更指出30年後，物聯網連接數量將達1兆個，機器人數量也將超越人口數，物聯網和機器人等創新終端載具的大量出現，結合人工智慧的發展將推動產業出現比人類大腦還聰明的超級智慧晶片，而下一代行動通訊網路5G不單單只是速度、連結數、容量，也包括人工智慧。

與會專家皆認為人工智慧的重要性將愈來愈高，這也是為何Softbank併購ARM，以及電信業者為何開始投資語音辨識技術(如Telefonica與Microsoft合作開發新平台-dubbed Aura-以認知智能Cognitive intelligence為基礎，Aura可以聽、看、說、記憶、行動)的原因，未來人工智慧將更廣泛嵌入在各種聯網裝置中，將成為半導體產業的發展動能，也將推進行動通訊產業往下一個世代邁進。

Netflix預言未來10-20年所有影音都將在網路上發生

在應用服務上，影音視頻所產生的數據流量仍占最大比重，故此主題演講也邀請了Netflix創辦人兼行政總裁Reed Hastings，Reed Hastings預言未來10-20年所有影音都將在網路上發生，尤其影音服務將更廣泛應用在行動通訊網路上，因此現身MWC向電信業者、終端業者提出合作願景。

此次Reed Hastings也宣佈將為行動裝置提供HDR串流影片，Netflix用戶可以在智慧型手機、平板電腦上觀看HDR格式影片，包括小鎮滋味(Santa Clarita Diet)、主廚的餐桌(Chef's Table)等，硬體部分目前已有LG G6、Samsung Galaxy Tab 3 & 12吋Galaxy Book、Sony Xperia XZ Premium可支援顯示HDR影像訊號。

在技術投資上，Netflix除了透過人工智慧、影像視覺等演算協助用戶更容易找到個人喜好的影片，也針對影像編碼進行投資，在使用更少頻寬下提供理想的畫質，讓用戶在四至五吋螢幕的行動裝置上，可以低於200kbps的速度欣賞HDR串流影片。此外，Reed Hastings也認為電信業者將提供不限流量但低速的數據方案，以此種較有效率的網路環境來因應持續高漲的視頻服務需求。Netflix也將持續投資在網路伺服器和影像codec，來改善影像的頻寬效率，以便於實現視訊於any device anywhere上觀看的使用行為。

■ Roborace發表全球第一台無人賽車，將促進無人車/自駕車的進展

本次會議另一個主題重點為車聯網，其中Roborace在Keynote上發表全球第一台無人賽車，配備5個Lidars、2個Radars、6個人工智慧Camers、18個超音波感測器、搭配NVIDIA(英偉達)的Drive PX2超級電腦每秒可完成24兆的人工智慧運算，目前已和奧迪、雷諾、馬奎達進行合作洽談，也將於2017年4月，在Formula E墨西哥城-羅德里格斯兄弟賽道進行比賽，此將有助於無人車和自駕車的進展。

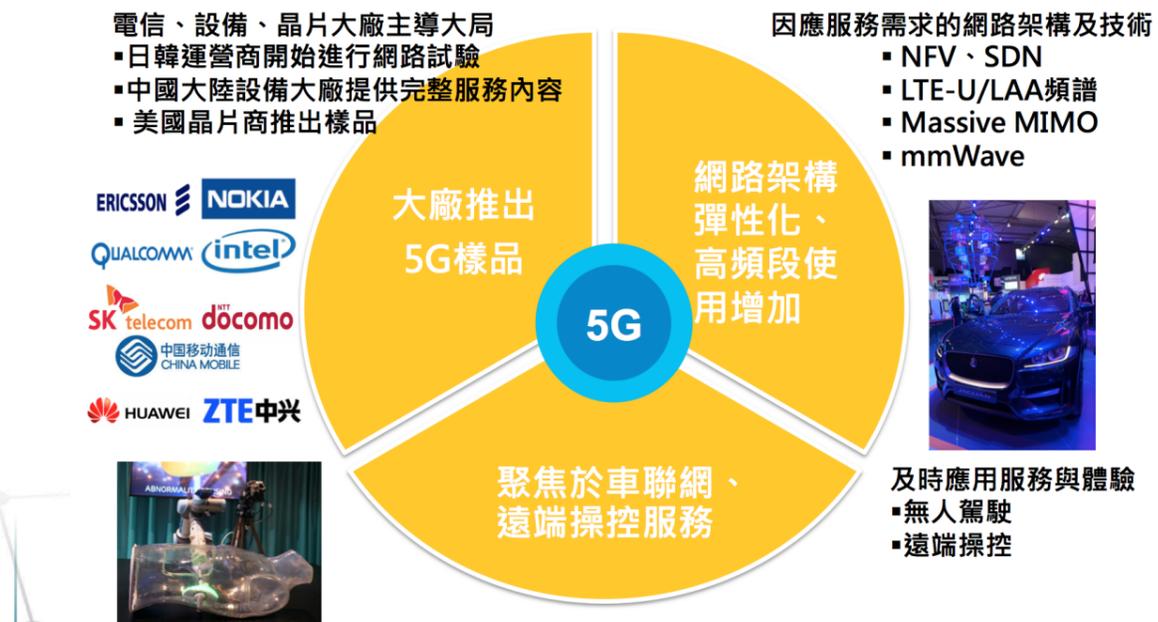
觀察未來車聯網服務將讓汽車更緊密地與周邊的汽車、網路、基礎建設、行人進行連結，mmWave、Network Slicing、Mobile edge computing等技術將附加於網路上，讓車內的網路更彈性、頻寬更高；無人機也將輔助車聯網服務，透過偵測汽車附近位置的影像，即時將附近的交通資訊回饋給駕駛人；駕駛人與乘客也可以在車內進行UHD現場會議、影音串流等服務，另外，人工智慧附加於車聯網中，將有機會讓車聯網系統自動認知周遭環境，解決開車時可能會遇到的問題，此都有助於加速車聯網服務的成熟。

■ 綜觀2017年MWC展會的重點，主要涵蓋三大主軸如下：

• 主軸一、下世代行動通訊網路5G更專注於垂直產業應用服務

下世代行動通訊網路5G不再只是技術的增進，如何因應垂直產業需求提供完整解決方案、服務模式將為布局重點。未來下世代行動通訊網路5G將因應服務需求的網路架構及技術，技術重點如NFV、SDN、LTE-U/LAA、Massive MIMO、mmWave等；應用服務則強調及時應用服務與體驗，如無人駕駛、遠端操控等。在業者布局上，日韓美電信運營商已開始進行網路試驗，華為、Ericsson等設備大廠開始提供完整服務內容，晶片商也於展場上展示5G NR prototype。

圖3. MWC 2017下世代行動通訊網路5G發展重點



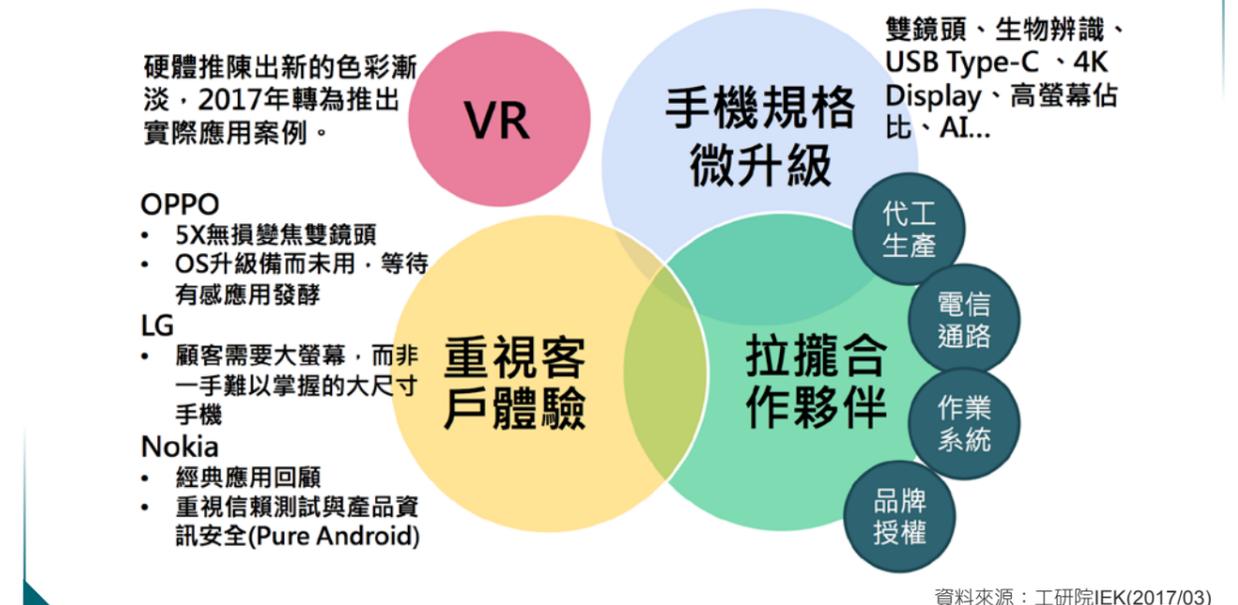
資料來源：工研院IEK(2017/03)

下世代行動通訊網路5G除了提供既有大眾用戶市場行動通訊服務外，也將更廣泛地針對垂直產業提供客制化服務，如此次展場中許多電信營運商都展出了車聯網服務，希望藉由車聯網服務打進物流業者、賽車車隊、保險業者等，提供專業領域不同的連網服務以創造新的服務營收；另外，透過5G網路的低延遲和高可靠度優勢，將可遠端即時控制機器手臂進行危險、複雜的工作，為礦業、工地、醫療等垂直領域解決問題，故整體來說，5G服務將更廣泛應用於各個垂直產業，並更緊密地與人工智慧、無人機、深度學習等新技術結合。

• 主軸二、行動終端微創新，轉變單純硬體銷售的營收模式

在終端載具上，行動終端硬體創新色彩漸淡，大多基於原有技術作漸進變化，如雙鏡頭、生物辨識、USB Type-C、4K Display、高螢幕佔比等，惟應用服務隨著人工智慧、VR內容或嘗試性商業模式開始興起，終端業者開始轉變單純硬體銷售的營收模式，藉由實際應用案例、二手機等不同銷售模式帶動整體營收來源。

圖4. MWC 2017 行動終端發展重點



隨著智慧行動裝置市場成長趨緩，硬體規格發展受到限制，使得智慧行動裝置開始回歸到客戶所需的應用，包括漸進創新的零組件開發(如移除實體Home鍵、曲面或Foldable螢幕、高螢幕佔比等)，建立手機生態圈的雙贏模式(如二手機翻新、延長產品壽命)，加入語音助理跨域連結應用的服務，此都將成為行動裝置大廠未來佈局重點方向。

• 主軸三、行動人工智慧進階到深度學習的行為分析上

各大廠商紛紛投入語音數位助理的開發，包括Apple的Siri、Microsoft的Cortana、Amazon的Alexa、Google的Google now，此為硬體思維轉到軟體應用服務、觸控介面轉到多元操控介面、連結多螢幕轉到跨域無縫連結的代表。而語音數位助理在過去被視為人工智慧的技術展現，但此次展會行動人工智慧已進階到「深度學習」的行為分析系統上，從語音辨識、自然語言處理進入到深度學習。

LINE所發布的「Clova」，為一個可以進行線上語音交流的雲端人工智慧平臺，功能涵蓋LINE的聊天技術、NAVER的搜尋技術、LINE與NAVER的各種服務與內容，以及LINE與NAVER龐大用戶在各種服務中所累積的使用行為為巨量資料。行動人工智慧會先分析即時蒐集到的資料，之後系統便讓機器自動學習，最後將資訊及時回饋給用戶進行調整，此將為人類生活帶來更多的精進。

圖5. MWC 2017行動人工智慧發展重點



行動通訊網路一路從1G發展到4G過程中，行動電話、行動寬頻服務已逐步成熟，從此次MWC 2017展會觀察，未來將持續朝向下世代行動通訊網路5G、網路化社會發展，以解決人類生活需求問題為主，促使網際網路滲透到社會生活的各個層面，擴展到各個行業別中，包括農業、製造業、醫療業、能源業、汽車業等，並以下世代行動通訊網路5G、人工智慧、大數據、雲端等進入智能網際網路時代，相信行動通訊網路將徹底改變人類未來的工作和生活方式，並為社會帶來更多的進步，同時也將成為半導體產業的發展動能。

e-Manufacturing & Design Collaboration Symposium 2017

- A Joint Symposium with ISSM 2017

September 15, 2017

Ambassador Hotel Hsinchu (新竹國賓大飯店)

* Call for Papers *

EMBA Intelligence in Semiconductor Manufacturing
-Engineering / Manufacturing / Business / Artificial Intelligence

請密切注意本會網站訊息 www.tsia.org.tw

Conference Secretariat

Ms. Celia Shih | E-MAIL : celia@tsia.org.tw | TEL : +886-3-591-7092 | FAX : +886-3-582-0056

2017 IHTESH (International High Technology Environment Safety and Health) Conference

June 7-9, 2017

Ambassador Hotel Hsinchu (新竹國賓大飯店)

請踴躍報名參加，更多活動訊息請參考活動網站
www.tsia.org.tw/seminar/IHTESH2017

Conference Secretariat

Ms. Celia Shih | E-MAIL : celia@tsia.org.tw | TEL : +886-3-591-7092 | FAX : +886-3-582-0056

IoT 風潮下設計驗證技術的發展趨勢

● Cadence 益華電腦系統設計驗證團隊

在EDA市場，設計驗證是近年來主要的成長領域之一，其重要性在特定應用的晶片開發流程中已日益突顯。特別是，隨著IoT(物聯網)的興起，帶動了多樣化大型垂直應用如車用電子(automotive)及深度學習(deep learning)的發展，除了功率、效能與成本等基本要求之外，每項應用對於安全性、連接性、以及現場升級能力的設計考量與優先程度也有所不同，因此驗證工具需更具靈活性，才能符合新一代產品的驗證需求。另一方面，驗證技術也需持續進展，才能因應晶片設計規模與複雜度持續成長的趨勢。

舉例來說，在設計健身手環這類穿戴式裝置時，成本是首要考量，其次才是功率與連接性。而對心律調整器等醫療裝置，功能安全性則需最優先考慮，然後是現場升級能力與功率。至於先進駕駛輔助系統(ADAS)，反應時間的設計效能最為重要，接下來才是連接性、現場升級能力以及安全性。

由以上的例子可看出，由於每種特定應用都有不同的設計需求，因此驗證與軟體開發必須非常有彈性。驗證也也不再是僅利用單一引擎，形式驗證、模擬、硬體模擬(emulation)以及FPGA原型，已成為驗證的四個重要引擎。設計團隊要選用最佳的個別驗證引擎來進行設計，而且無需在每次切換引擎時還得重新開始。因此，對EDA業者來說，必須先能提供四種功能強大的驗證工具，然後才能建置更佳的整体驗證環境與流程。

於此同時，由於設計複雜度的日益提升，我們也看到了業者在尋求設計流程的改變，試圖依據不同的需求，在設計的不同階段執行不同的設計驗證。一個系統設計包含了晶片與軟體的整合，因此晶片驗證、系統驗證、以及軟體開發最好都能盡早進行，以便能在設計初期就發現錯誤，才能降低設計風險並加速產品的開發週期。此一「向左移轉」(Shift Left)的趨勢，也使設計驗證越來越受到重視。

■ 功能更強、整合度更高的驗證平台

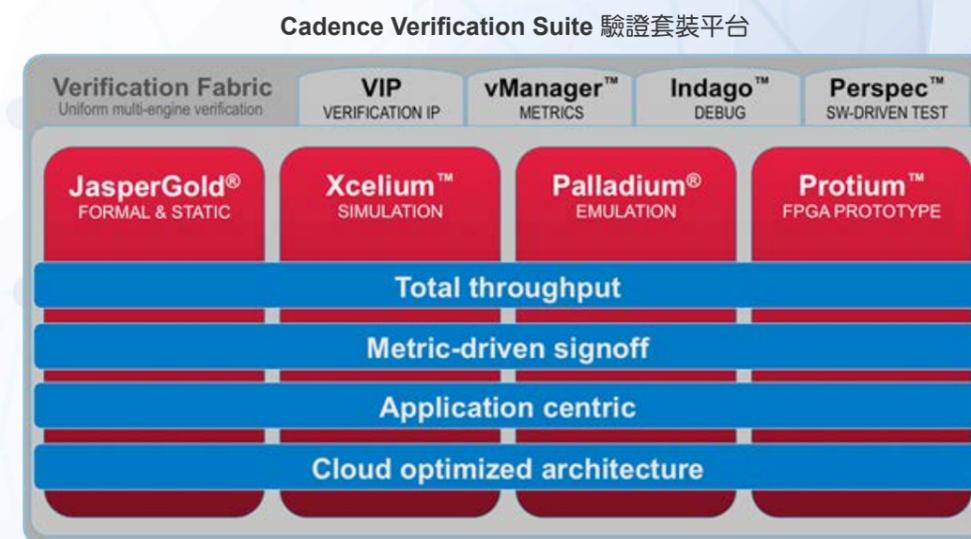
在此趨勢下，驗證技術正朝兩個方向發展：首先是提升這四個驗證核心引擎的功能，以實現更佳的速度、容量以及資源利用率。其次，市場將需要「更智慧」的驗證方案，能夠更有效的運用核心引擎，並更妥善的分配驗證任務給單一或多個引擎來執行。

因此，平台的整合程度將是驗證產品的重要差異化特性，其關鍵在於能否更智慧地結合各個引擎。跨引擎的驗證規劃、除錯與軟體導向式驗證，將能進一步提升驗證的重複使用性與跨引擎最佳化，以滿足大型新興應用所需的設計要求。

在模擬方面，為了滿足大型SoC的驗證需求，平行運算是最重要的發展趨勢。經過實測，透過充分發揮平行運算特性，我們可將暫存器傳輸級(RTL)設計模擬、閘層級模擬及平行可測性設計(DFT)模擬的運行時間分別加快3倍、5倍及10倍，是非常顯著的效率提升。

而在FPGA驗證方面，主要的發展重點在於能否快速使功能上線，以及支援先進的軟體除錯功能。此外，若能提升硬體模擬與FPGA原型之間的一致性，也將能顯著增加使用者的生產力。

基於此市場需求，Cadence致力於完整的Verification Suite(驗證套裝平台)，共包含四個主要引擎：JasperGold(形式)、Xcelium(模擬)、Palladium(硬體模擬)、以及Protium(FPGA原型)。這四項產品具備了高處理能力、指標驅動式(metric-driven)簽核、以應用為中心、以及雲端最佳化架構的共通特性。更重要的是，可提供橫跨四項產品的通用工具，能以相同的介面使用各個產品，或是將來自不同產品的結果整合在一起，以實現更高的整合度。



從市場面來看，隨著IoT推動了多樣化垂直應用的發展，越來越多的系統業者開始自行設計晶片。同時也已經與汽車製造商就此展開合作。此外，航太與國防產業也同樣朝此方向轉變。同樣地，這也是這四項驗證引擎能夠發揮作用的地方。

因此，儘管半導體業者的數量正在減少，但是隨著汽車、航太等業者日益重視晶片開發，因為它們對於安全性與可靠度有更高的要求，再加上這些產品的附加價值高，合理化了這些系統業者投入晶片開發的投資。因此，在新的營收挹注下，驗證市場仍將持續成長。就市場需求來看，預期模擬將持續成長，而硬體模擬、FPGA原型以及形式驗證的重要性也將日益突顯。

總結來說，在電子設計實現中，驗證是最令人振奮與活躍的領域之一。使用者對於更多應用與更強大特性，以及更高整合度的要求是永無止境的。透過建構Cadence Verification Suite，Cadence的加速驗證技術，將可協助系統及半導體公司以更高效率開發出更完整且具競爭力的終端產品。

2017年2月JSTC會議報告

陳淑芬協理 / TSIA



TSIA JSTC 代表團

2017年第一次的JSTC會議於2月14日至17日假美國亞歷桑納州Scottsdale The Scott Resort & Spa舉行，由美國半導體協會(SIA)之JSTC共同主席Daryl Hatano主持，與會者包括來自台灣、美國、日本、歐盟、韓國、及中國之業界及協會代表。台灣半導體產業協會(TSIA)由台積電潘正聖處長(本會JSTC主席)率團，成員包括瑞昱半導體黃依璋副總(本會JSTC共同主席及IP工作小組召集人)、台積電許芳銘處長(本會環安衛委員會主任委員及WSC ESH Resource Conservation工作小組主席)、聯電賴懷仁處長、台積電魏致中技術經理、工研院呂慶慧資深研究員、法律顧問Christopher Corr、及秘書處陳淑芬協理。主要討論議題包括環安衛、智財權保護、反仿冒、關稅及稅號調和、自由開放市場、產業成長、政府支持措施等。

此次會議相關討論及決議摘要如下：

1. 環安衛 (ESH)：

委員會會議於2月14-15日召開。

(1) PFC：

- 工作小組完成PFC "Best Practices" 文件之修改，將放入今年度的WSC聯合聲明中。
- 參與 "2019 Refinement to the 2006 IPCC Guidelines for National Greenhouse Gas Inventories" 之三位WSC代表已確定由SIA、ESIA、及JSIA代表出任。
- 工作小組開始討論2020年後之WSC PFC agreement。
- 工作小組將收集並確認2016年之排放數據，放入2017 WSC聯合聲明中。

(2) Chemicals：

- 所有WSC協會均已停止PFOS的使用，這對WSC來說是一大進展，委員會決議把此成果納入今年度的WSC聯合聲明中。
- 國際間針對PFOA的相關法規朝對半導體產業有利之方向發展，包括美國不限制在photolithography中PFOA之使用、歐盟給予photolithography及半導體成品豁免待遇、聯合國UN Persistent Organic Pollutants (POPs) Treaty也認為半導體製程中PFOA之使用應受到保護。

(3) Resource Conservation：

- 工作小組討論個別協會的能源使用資料並說明數據上升的原因，其中先進製程愈來愈複雜為主要原因。
- 工作小組同意本會與MIT合作，針對半導體產品對全球整體節能的貢獻進行評估，各協會同意指派一人參與相關的電話討論。此案由本會提出，獲得各協會的重視及強力支持。

2. 智財權保護 (IP)：

委員會會議於2月15日召開，由JSIA擔任輪值主席。重點如下：

- Abusive Patent Litigation(NPE/PAEs)：由於GAMS的要求，KSIA提出針對專利濫訴問題之Best Practices，經委員會討論後，認為針對 "授權" 部份的討論會有反托拉斯的疑慮，決定只聚焦在 "訴訟" 部份的討論。KSIA同意在2月22日前提出修改版本，各協會需在3月20日前回覆意見。
- Patent Quality：針對WIPO的年度問卷內容，各協會若有建議需於2月24日前提出，經委員會主席匯整後由SIA於3月3日前提交WIPO參考。
- 委員會決定5月仍召開委員會會議。

3. 反仿冒 (Anti-Counterfeiting)：

工作小組會議於2月15日召開，由CSIA輪值今年度主席，會議討論內容如下：

- SIA提議修改WSC反仿冒白皮書，並要求各協會協助提供仿冒產品的樣本、案例、或仿冒品的衝擊等資料。
- AACTF(亞洲反仿冒工作小組-主要活動在中國)簡報其2016年12月於中國舉行的第一次 "Trusted Carrier Workshop" 情形，第二次workshop將於2017年春天召開，邀請各協會派員參加。
- 工作小組同意繼續支持2017世界反仿冒日(World Anti-Counterfeiting Day)活動，並比照去年發佈新聞稿(ESIA草擬)表達WSC對反仿冒的重視。

4. 政府產業支持措施 (Regional Support)：

基於2016年GAMS會議決議，工作小組主席SIA草擬了 "Best Practices/Guidelines for Government Support" 文件及第二次GAMS Regional Support Workshop議程，提交工作小組討論。工作小組原則上同意該兩文件的概概念及基本架構。SIA將匯整各協會意見後於2月底提出修改版本。各協會需向各自GAMS政府代表說明JSTC所草擬的Best Practices及agenda的內容及討論進展，並預計於3月20日該週進行的第一次電話會議中分享各自GAMS之回應意見。各協會也需於4月1日前提出workshop講者之建議名單，於5月WSC會議中確認。

5. 市場資訊 (Market Report) :

JSIA依慣例輪值委員會主席，於2月15日的委員會會議中簡報今年的市場資料收集內容及資料繳交期限，原則上資料內容延續往年未做改變，各項數據繳交期限為2017年3月31日。JSIA計劃以 "Society enabled by Robotics and AI" 做為今年Special Market Report之主題。SIA建議並經JSTC同意，WSC所做的例行市場資訊 (WSC Market Report)只放入5月WSC會議給CEO的會議資料夾中即可，WSC會中只針對Special report進行口頭簡報，但在10月的GAMS會議則仍對政府代表進行完整之簡報(WSC Market Report & Special Report)。

6. 關務及關稅 (Customs & Tariffs) :

(1) HS2017 and ITA expansion (ITA II) :

- a. 除了日本外，其餘WSC會員國均已完成國內程序，正式實施ITA II。JSIA表示Japan Diet將於2017年2月底進行投票。
- b. 各協會對中國在施行HS2017稅號修改後，原於ITA II承諾零關稅的10項MCO產品變成需課稅一事表達疑慮。此事經CSIA向中國海關了解後，中國海關回應表示，MCO是複雜的產品，各國有權基於MCO訂義自行決定那些為MCO。至於稅率如何計算，中國海關只表示這是非常複雜的計算方式。CSIA同意持續與中國海關溝通。JSTC決議由5個協會(CSIA除外)致函中國財政部及其海關表達業界之擔憂及立場，各協會需將此信件轉給各自GAMS分享。
- c. 韓國在實行HS2017稅則修改後，其HS8542 31 4030 (即韓國ITA II承諾清單中的HS 8517 7010 90) MCO產品變成8%的稅率，KSIA表示願協助向韓國海關進行了解後儘快向JSTC說明。

(2) 2018 ITA Review (ITA III) :

ITA會員國在ITA II完成談判之宣言中承諾在2018年前著手下一階段的擴大談判 (ITA III)。基於此，ESIA於此次會中提出產品清單，各協會將進一步檢視後於4月1日前回覆意見，期望於今年5月WSC會議時做成結論。

(3) ITA 20週年symposium將在本(2017)年6月27-28日舉行，SIA認為這是擴大ITA參與國的好時機，敦促WSC各協會鼓勵非ITA會員國加入ITA，SIA也鼓勵各協會派員參加此symposium。

(4) HS 2022/HS 2027 MCO Review :

ESIA說明在WCO中有關semiconductor-based transducers討論之進展，也進一步建議在HS2022或HS 2027 review時，修訂MCP、Monolithic IC、及Insulated Gate Bipolar Transistor (IGBT) with negative temperature co-efficient (NTC) 之稅號，ESIA將進一步提出建議草案。

(5) Harmonization of Customs Classification :

- a. IGBTs with NTC產品之稅號分類將於WCO HSC (Harmonized System Committee) 於今年3月的委員會會議中討論，WSC已致函WCO期望將此產品放入HS 8541中。
- b. 針對各國半導體產品稅號不一致問題，五個WCO會員國之GAMS海關將於WCO今年3月的委員會會議期間召開討論會議。各協會需於2月24日前確認業界參與名單。

(6) AEO :

針對AEO議題可能的海關專家會議，ESIA提出了初步構想。時間地點需待各協會徵詢各自海關意見後方可確定。各協會需於4月底前提出意見並回報各自海關的參與意願。

7. Encryption :

由於對網路安全的重視，愈來愈多國家計劃或已開始進行相關防衛措施以保護國內關鍵基礎建設。ESIA及SIA擔憂中國近來的相關法規會造成IP的揭露或對當地廠商有利，因此ESIA在此次會中比較了歐盟及中國的相關規定，企圖點出中國法規可能造成的問題。JSTC決議各協會填覆各自國內的法規現況，於下次會議中討論並提出對政府的建言。

8. Growth :

- (1) SIA說明EGA談判自2016年12月已觸礁，前景仍不明。
- (2) JSTC討論如何處理Growth議題的未來，KSIA認為目前討論中的第二次GAMS Regional Support Workshop議程中即有一個產業成長的時段，或許工作小組可以把重心放在準備這個時段的討論內容；工作小組也建議把Growth TF與WSC Market Committee結合，但此兩提案都未獲通過。SIA將在2018年同時為Growth TF及Market Committee主席，屆時仍會有進一步討論。
- (3) 各協會同意持續自願性的分享各地區公開的研究成果。
- (4) 對於KSIA所做的Mobile Health Care Study，各協會將進一步檢視後提出意見。

9. 未來會議 :

2017年5月WSC/JSTC會議將在日本京都舉行，由日本半導體協會(JSIA)主辦；2017年10月GAMS/JSTC會議將在韓國釜山舉行，由韓國政府及韓國半導體協會(KSIA)主辦；2018年2月JSTC/TF會議由歐洲半導體協會(ESIA)主辦，地點在匈牙利布達佩斯。

若會員對WSC相關議題有意見或建議，歡迎與TSIA秘書處聯絡。

2017第一次WSC環安小組 會議記要

呂慶慧資深研究員 / 工業技術研究院

一、會議背景

2017年世界半導體協會第一次環境安全衛生功能小組(WSC ESH Committee)會議，於2017年2月14日和15日在美國鳳凰城召開。本次會議主要分為四個主題進行討論，分別為：PFC、Chemical、Resource Conservation及Safety and Health。會中TSIA代表提出國內半導體產業的意見與建議，並積極為國內產業蒐集資訊及爭取權益。本次環境安全衛生功能小組會議，是由環安委員會許芳銘主委領隊，並與工研院呂慶慧資深研究員負責PFC及Resource Conservation工作小組，台積電魏致中技術經理、聯華電子賴懷仁處長負責Chemical及Safety and Health工作小組。其中Resource Conservation工作小組之主席由許芳銘主委擔任主席。

二、各工作小組重要結論

本次在會議各小組重要議題如下：

1. 化學品小組會議：

本小組主要是回顧具有全球影響力的半導體產業，特別是那些全氟化工原料(PFOA及PFAS)的當前化學品的立法潛在問題，進行協商的狀態。EU REACH在黃光製程並無限制，可比照2009年的PFOS的附錄B在特定條件仍可持續使用，沒有時間限制(Exemptions and/or acceptable purposes (time limited or not))。但對生產的成品，EU REACH若含PFOA或其鹽類則有限制25 ppb，法律生效後5年內設備及其零件，則不能在歐盟上市。美國SNUL可能在今年第二季，對長鏈PFOA及FAB Tool(semiconductor manufacturing equipment ("tools"))，目前亦不列入管制。目前對使用工廠不會影響。

PFOA (perfluorooctanoic acid)目前在斯德哥爾摩公約已列入POP觀察生效名單，但TOOL管制仍未明朗，有可能放在附錄A或B。一般附錄A化學品皆在公告5年後不可使用，製程機台10年Tank3年。目前的設備廠商調查結果約有90%廠商會使用。SEMI已向公約反應，能延長至10年。目前光阻是否能替換，對使用廠商挑戰很高。但tool端若能提供符合產品規格，對我們則不會受到影響。黃光製程新機台能被10年內替換，仍有待觀察。WSC會向SEMI進行必要的意見反應，釐清管制年限與建議放在附錄B。

德國、瑞典等國對長鏈及短鏈皆持續研擬，即使沒有任何證據顯示對環境有害。尤其德國亦推動C9-C20進行管制。瑞典則希望將C6放入管制。美國氟氣體協會定義是以全碳為主。有關焚化與廢水處理仍在討論中。對於使用POP物質產生的空氣污染與水體污染將持續受到外界關注。

2. PFC工作小組：

本工作小組對PFC最佳做法(Best Practice)進行審查和更新，並決定持續蒐集N₂O的排放。其中另一重要議題是IEEE評估氟氣體排放效能的討論。美國環保署為降低半導體產業在製造過程的氟氣體排放，在電子產品環境影響評估工具(Electronic Product Environmental Assessment Tool, EPEAT)中設立了一項IEEE的標準。EPEAT是一個在環境屬性的基礎上，幫助購買者評估、比較和選擇電子產品的綜合標準，標準是由IEEE為主的標準機構公佈。依據聯邦採購法(Federal Acquisition Regulation, FAR)規定，美國政府機構年度採購之電子產品，95%需為EPEAT登記之產品。為一自我宣告式的電子產品登錄系統，所登記產品必須符合IEEE 1680以及1680.1規定之標準。規定標準共有51項，其中23項為必要條件，28項為非必要條件(optional criteria)。

本次討論重點是有關氟氣體減少量如何定義與計算。由於台灣目前的新廠大都能符合規定，而美國則未來能符合。故此議題受到美國代表極大的關注。

3. 能資源工作小組：

為了收集質量好的數據，本小組同意遵循"可測量，可報告和可驗證的MRV"的原則。由TSIA提出之萬餘指南提供了在自願的基礎上衡量，報告和核實各協會之間的總能源，水和廢物的消費和減少狀況的方法。將僅收集關聯級別數據以生成WSC層級結果。資源工作組將從協會收集數據，並向JSTC / WSC 5月會議提供更新。有關能源數據趨勢，工作小組將請日本提供一個具有下降趨勢協會的案例，在IHTESH會議分享。另外工作小組已經在其以前會議上審查了正常化方案，但沒有提出解決方案，這就是為什麼現在與麻省理工學院一起探討如何展示進展的項目。主席還指出，製造過程複雜性的持續增加是數據趨勢不斷增加的主要原因。為此TSIA提供了費用與MIT進行節能呈現合作的示範案例，各協會亦將派一人參加與會。希望能說明世界半導體協會產品對全球節能的貢獻。

2017 JEDEC Q1 美國聖安東尼奧會議報告

宣敬業經理 / 聯發科
蕭子哲處長 / 晶豪科技

一、前言

JEDEC(聯合電子裝置工程協會)於2017年3月6-10日在美國聖安東尼奧召開記憶體規格制定研討會議，共有一百多位，來自全球六十家廠商之代表參與。本次會議之議題包含動態記憶體(DRAM)規格、非揮發性記憶體(Non-Volatile Memories)規格、低功耗記憶體(Low Power Memory)規格、動態記憶體模組(Memory Modules)規格、快閃記憶體模組(Flash Modules)規格、多重晶片封裝(Multichip Assemblies)規格、邏輯電路規格及介面電氣規格。其中在LPDDR5、eMMC及UFS等各項記憶體規格標準之制定，各相關委員會通過大部份之規格票決案。

二、參與會議委員會及規格議題

委員會	規格	委員會	規格
JC42	Memory	JC16	Interface Technology
JC423B	DRAM Functions, Features & Pinouts	JC40	Digital Logic
JC423C	DRAM Timing and Parametrics	JC40.4	Registered & Fully Buffered Memory Module Support Logic
JC424	NonVolatile Memory (Flash etc.)	JC40.5	Logic Validation and Verification
JC426	Low Power Memory	JC63	Multiple Chip Packages
JC45	Memory Cards and Modules	JC64	Flash – Embedded, Cards and Modules
JC45.1	Registered Modules (RDIMM)	JC641	Electrical Specifications
JC45.3	UDIMM, SODIMM, MiniDIMM, etc.	JC642	Mechanical Specifications
JC45.4	FBDIMM, LRDIMM, etc.	JC645	UFS Measurement
JC45.5	Connector Electrical Specifications	JC648	Solid State Drives (SSD)
JC45.6	Hybrid Modules		

三、重要議題或技術趨勢摘要

3.1 非揮發性記憶體規格

JC-42.4 NVM委員會如圖1所示：

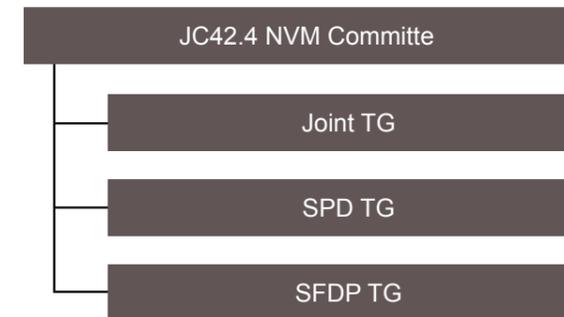


圖1. JC-42.4 組織圖

這一會期在非揮發性記憶體內容針對"Absolute Maximum DC Rating"的議題做了投票並且獲得通過。

此外還有另外兩項提案的討論，並會在下會期做表決：

- Pausing Data Burst with CE_h High
- ODT Ball Location

3.2 快閃記憶體模組規格

快閃記憶體模組規格，組織圖如圖2所示：

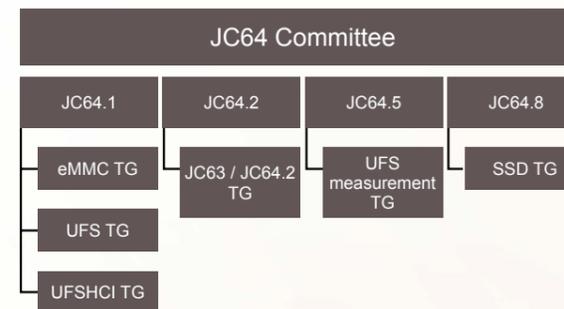


圖2. JC64 組織圖

3.3 eMMC規格：

eMMC 5.2的full specification已在這會期投票表決並獲得通過，但未決定對外公布的時間表。

3.4 UFS/UFSHCI規格：

在這次的討論中，是以新的UFS3.0規格當目標，部分規格仍依賴MPHY及Unipro的新版規格為參考，包括以下幾項：

- HS-Gear4 (12 Gbps/Lane) Mandatory Support in UFS v3.0 editorial update
- UFS IID Clarification in TMR
- UFS Refresh Operation
- UFS v3.0 UIC Calibration through UFS Command
- UFS v3.0 Battery State Awareness for device optimal performance
- UFS v3.0 too high/low temperature notification for host managing throttling
- UFS v3.0 Clarification of bActiveICCLevel
- MIPI Optimization
- Clock Gating Minimum Wait Time
- Removal of UFS HS Unterminated Mode
- UFS 3.0 Low Power Configuration
- Device Error History
- UFS HCI UniPro 1.8 Changes

3.5 多重晶片封裝(MCP)規格：

這會期在多重晶片封裝一期上有一項投票就是1ch MCP的定義並且獲得通過。

3.6 DRAM Interface(JC16)規格：

這一會期在Interface committee討論了有關於Serial Interface for Data Converters的規格包括以下幾項：

- physical layer
- transport layer
- link layer for 64b66b and 64b80b encoding
- link layer for 8b10b en

3.7 HBM(high bandwidth memory)動態記憶體：

HBM3

- Ballots issued:
 - None
- Consensus this quarter:
 - tCKSRE edge clarification for when to stop the CLK (in power down entry and exit figure)
 - HBM3 current spec (4.8Gb/s)
 - DRAM VDDQL=0.4V: 0.44V max, 0.38V min
 - DQ training supported

3.8 DDR5動態記憶體：

在此會期的DDR5討論中，對於DDR5的架構有了更多的定義，多以server觀點為主要考量，通過的主要提案如下：

- DDDR4 Connectivity test mode update
- DDR5 Per DRAM addressability Rev.5
- Proposed DDR5 Mode Registers
- Proposed On Die ECC for DDR5
- Proposed DDR5 Mode Registers(MR3, Functional Mode)
- Proposed DDR5 Mode Registers(MR4, Refresh Mode)
- Proposed DDR5 Mode Registers(MR5, MR6, MR7, MR8)
- Proposed DDR5 Mode Registers(MR9, MR10, MR11)
- DDR5 ZQ Calibration
- Proposed DDR5 Reset & Init sequence
- DDR5 Fast Zero Mode
- Proposed DDR5 Command Truth Table
- Proposed DDR5 Self Refresh & Power Down Modes

- Proposed DDR5 All Bank and Same Bank Refresh - updated w Split Refresh parameter
- Proposed DDR5 CRC
- Proposed DDR5 Maximum Power Saving Mode
- TDQS support for DDR5
- DDR5 Burst length 32
- Proposed DDR5 x4/x8 DRAM PKG ballout update
- Proposed DDR5 Masked Write Function
- Proposed DDR5 Mode Registers(MR0, MR1, MR2)

DDR5還有許多的提案仍在討論中，下會期目標是完成DDR5規格，並於今年十月舉行DDR5 Forum。目前進行中的提案還很多，進度會是一項挑戰。

3.9 GDDR繪圖動態記憶體：

針對GDDR6 SGRAM的架構這次也增加了許多基本的定義如下

- Proposed GDDR6 SGRAM Mode Registers
- Proposed GDDR6 SGRAM Initialization
- Proposed GDDR6 Self Refresh and Power Down
- Proposed GDDR6 SGRAM Refresh

3.10 LPDDR低功率動態記憶體：

在此會期的low power memory討論中，在LPDDR4 rev B及LPDDR4X仍繼續的討論並針對byte mode的加以修正。

此外在LPDDR5的討論上也完成以下提案投票：

- LPDDR5 PASR
- LPDDR5 WCK2CK Sync Operation
- LPDDR5 Command Truth Table (Rev 2.4)

- LPDDR5 Mode Register 21
- LPDDR5 Data Copy Low Power Function (圖3)
- Proposed update to JEP166 (Manufacturers ID for Low Power Memories) for LPDDR5
- LPDDR5 Mode register definition MR1.
- LPDDR5 Mode register 0 definition
- LPDDR5 ODT(On Die Termination) Function and Timing
- LPDDR5 Self-Refresh Operation
- LPDDR5 Refresh Command
- LPDDR5 State Diagram
- LPDDR5 RDQS Mode
- LPDDR5 Read Operation
- LPDDR5 Write Operation
- LPDDR5 Mode register definition. MR3
- LPDDR5 Mode register definition. MR10
- LPDDR5 Mode register definition.MR38, MR39 and MR40
- LPDDR5 Mode register definition. MR42

- Pre-Charge Operation
- Frequency Set Point
- Driver and Termination Register Sensitivity
- Activate Command
- LPDDR5 ZQ Calibration
- LPDDR5 Core Timings
- LPDDR5 Mode register definition.MR35, MR36 and MR37
- LPDDR5 Mode register definition. MR41
- LPDDR5 Mode register definition. MR29
- LPDDR5 Mode register definition. MR28
- LPDDR5 Mode register definition. MR20
- LPDDR5 Mode register definition. MR18
- LPDDR5 Mode register definition. MR15
- LPDDR5 Mode register definition. MR14
- LPDDR5 Mode register definition. MR13
- LPDDR5 Mode register definition. MR4
- LPDDR5 Mode register definition MR2

Table 1 Reference data S[7:0] bit mapping

DQ Byte	Burst Cycle Number (Beat of Burst)							
	1	2	3	4	5	6	7	8
Reference Data S[7:0] through DQ0	S0	S1	S2	S3	S4	S5	S6	S7
Original 64bit Data								
DQ0	D0	D8	D16	D24	D32	D40	D48	D56
DQ1	D1	D9	D17	D25	D33	D41	D49	D57
DQ2	D2	D10	D18	D26	D34	D42	D50	D58
DQ3	D3	D11	D19	D27	D35	D43	D51	D59
DQ4	D4	D12	D20	D28	D36	D44	D52	D60
DQ5	D5	D13	D21	D29	D37	D45	D53	D61
DQ6	D6	D14	D22	D30	D38	D46	D54	D62
DQ7	D7	D15	D23	D31	D39	D47	D55	D63

Notes

1. Data Copy hit occurs when the following bitwise condition is met:
 (D0=D8=D16=D24=D32=D40=D48=D56) AND (D1=D9=D17=D25=D33=D41=D49=D57) AND
 (D2=D10=D18=D26=D34=D42=D50=D58) AND (D3=D11=D19=D27=D35=D43=D51=D59)
 AND (D4=D12=D20=D28=D36=D44=D52=D60) AND
 (D5=D13=D21=D29=D37=D45=D53=D61) AND (D6=D14=D22=D30=D38=D46=D54=D62)
 AND (D7=D15=D23=D31=D39=D47=D55=D63)

圖3. Data Copy Hit Bit-Wise Condition

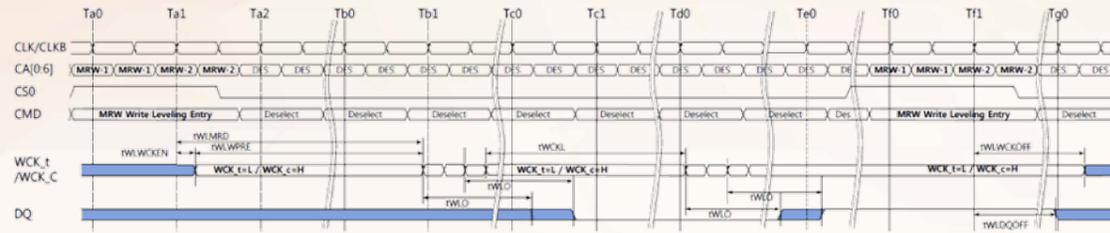


圖4. Write leveling timing

另外尚有許多討論再進行，包括：

- LPDDR5 Write Leveling (圖4)
- LPDDR5 WCK2CK Sync rev.7
- LPDDR5 CA Bus Training
- LPDDR5 MR Map
- LPDDR5 Driver Characteristics and Calibration
- LPDDR5 MR17
- LPDDR5 MR16
- LPDDR5 Pins per Byte
- LPDDR5 CA Rx Mask
- LPDDR5 DQ Rx Mask
- LPDDR5 CS Rx Mask
- LPDDR5 Link Protection 9-bit ECCw/ MRR Access(圖5)

- Assume 9ECC parity bits to protect 144bit data (128bit data + 16 DMI bits)
- 9ECC parity bits per BL16 are transferred through a EDC/RDQS pin for Write or Mask Write operation.
- 9ECC parity bits per BL16 are transferred through a DMI pin for Read operation.



圖5. Link ECC timing

- LPDDR5 DCC training
- LPDDR5 RDQS postamble
- LPDDR5 command timing constraints
- LPDDR5 DC operating conditions r1p0
- LPDDR5 WCK2DQ Oscillator
- LPDDR5 Operating Temperature
- LPDDR5 Input / Output Capacitance
- LPDDR5 Mode Register Read
- LPDDR5 Mode Register Write
- LPDDR5 VRCG
- LPDDR5 Power up & Initialization
- LPDDR5 Differential input voltage WCK
- LPDDR5 Differential input voltage CK
- LPDDR5 AC/DC Input / Output Measurement

四、結論

- 在接下來的焦點都已進入下一世代的領域，包括UFS3, DDR5, GDDR6, HBM3, LPDDR5。廠商在這進入下一世代的解決方案應該盡早準備並加入討論。
- JEDEC董事會於本次會議中亦呼籲會員及企業積極參與JEDEC，並針對未來新一代記憶體的走向及發展希望會員能夠更積極及深入的討論。

五、後記

JEDEC JC-16, JC-40, JC-42, JC-45, JC-63及JC-64小組的國際標準制定會議，會後於2017年3月22日TSIA消費性電子記憶體介面標準工作小組召開美國聖安東尼奧JEDEC會後會暨Workshop，出席廠商包括台積電、聯發科、華邦電子、晶豪科技、點序科技、南亞科技、鈺創科技等，讓國內廠商可以即時掌握國際標準脈動。

JEDEC JC-16, JC-40, JC-42, JC-45, JC-63及JC-64小組的國際標準制定會議，2017年第二次標準制定會議將於2017年6月5日至6月9日假荷蘭恩荷芬舉行，歡迎JEDEC會員公司派員參加；同時這也是一個絕佳的國際交流平台，歡迎相關單位及廠商贊助，贊助細節請洽台灣半導體產業協會(TSIA)。若您對JEDEC會議有興趣，但尚不是JEDEC會員，歡迎與TSIA聯繫，請聯絡TSIA陳昱錡經理(Tel: 03-591-7124; Email: doris@tsia.org.tw)或TSIA消費性電子記憶體介面標準推動小組(Consumer Electronics Memory Interface Forum)召集人聯發科技宣敬業經理(Email: jy.shiuan@mediatek.com)。

TSIA 第十一屆理事長出爐

黃佳淑經理 / TSIA



第十一屆當選理監事合影

台灣半導體產業協會年度會員大會於4月6日圓滿落幕，會中順利選出第十一屆理監事。

<<當選之理事共15席>>

晶圓製造類

- 方略董事長暨總經理(世界先進)
- 李培瑛總經理(南亞科)
- 黃崇仁董事長暨執行長(力晶集團)
- 詹東義總經理(華邦)
- 蔡國智董事長(鉅晶)
- 顏博文執行長(聯電)
- 魏哲家總經理暨共同執行長(台積電)

IC設計類

- 黃洲杰董事長(凌陽)
- 盧超群董事長暨執行長(鈺創)
- 謝叔亮董事長暨執行長(立錡)
- 謝清江副董事長暨總經理(聯發科)

封測類

- 于有志副總經理(矽品)
- 洪松井資深副總經理(日月光)
- 張季明總經理(欣銓)

研發類

- 劉軍廷副院長(工研院)

<<當選監事共3席>>

晶圓製造類

- 詹益仁策略長(漢民)

IC設計類

- 陳超乾總經理(創意)

封測類

- 賴宏洋資深副總經理(力成)

當選之第十一屆理監事於會員大會後旋即召開第一次理監事會議，選舉常務理事、理事長及監事長。五席常務理事由力晶集團黃崇仁董事長暨執行長、鈺創盧超群董事長暨執行長、聯發科謝清江副董事長暨總經理、聯電顏博文執行長、台積電魏哲家總經理暨共同執行長當選(以姓名筆劃順序排列)。所有理事並由當選之常務理事中選出台積電魏哲家總經理暨共同執行長為理事長。監事長則由漢民詹益仁策略長當選。所有新任理事長、常務理事、監事長及理監事於今年4月7日正式上任。



感謝盧超群理事長(右)這四年來的辛苦奉獻，由第十一屆新任理事長魏哲家(左)代表頒贈紀念品並進行新舊任理事長交接

台灣半導體產業協會成立於1996年，第一及第二屆理事長為前工研院史欽泰院長；第三及第四屆理事長為台積電張忠謀董事長；第五及第六屆理事長為力晶集團黃崇仁董事長；第七屆及第八屆理事長為前台積太陽能與台積固態照明蔡力行董事長；第九及第十屆理事長為鈺創科技盧超群董事長暨執行長；第十一屆由台積電魏哲家總經理暨共同執行長當選理事長的職務，相信在国际事務方面，如參與相關會議，以及智慧財產權保護、環安衛等議題，都將積極代表並保護我國業者；在國內事務方面，亦將積極代表產業的共同利益，向政府適時提供產業意見及建言，達成產業期望。

TSIA 第十一屆第一次會員大會 會議記錄暨花絮報導

黃佳淑經理彙整 / TSIA



- ▶ 時間：民國106年4月6日 12：00 ~ 16：00
- ▶ 地點：新竹國賓飯店10樓國際會議廳
- ▶ 主席：盧超群 理事長
- ▶ 記錄：黃佳淑
- ▶ 主席致詞：(略)
- ▶ 報告事項：上一次會員大會決議事項執行情形報告及會務報告



TSIA 盧超群理事長



TSIA 伍道沅執行長

▶ 討論提案：

案由一：審核一〇五年度經費收支決算表

說明：本會一〇五年度經費收支決算累計結餘數新台幣壹仟壹佰捌拾萬玖仟參佰玖拾柒元整，經本會第十屆第九次理監事會議審核通過後，提報本次會員大會追認。

決議：通過。

案由二：審核一〇六年度工作計畫

說明：經本會第十屆第八次理監事會議審核通過後，提報本次會員大會追認。

決議：通過。

案由三：審核一〇六年度經費收支預算表

說明：配合年度工作計畫項目，參考上年度經費收支情形，編列新台幣參仟肆佰捌拾伍萬肆仟元整，經本會第十屆第八次理監事會議審核通過後，提報本次會員大會追認。

決議：通過。

▶ 臨時動議：無

▶ 頒發第十屆理監事感謝狀

▶ 頒發第十屆委員會主委 / 召集人感謝狀



頒發第十屆理監事感謝狀



頒發第十屆委員會主委 / 召集人感謝狀

▶ 頒發2017 TSIA半導體獎



▶ 廢棄物清理廠商管理自律公約簽署儀式

會員公司自動發起的「廢棄物清理廠商管理自律公約」即日起生效。此份自律公約係因國內近年數度發生污泥再利用產品疑似違法亂倒事件，引起政府、產業及社會大眾對廢棄物議題的高度關注。政府甫修訂廢棄物清理法，賦予廢棄物產源應盡適當注意之義務，以及發生違法情事後共同清理責任。本協會會員公司長期關注國內情況，乃思共同行動，期能有助於國內廢棄物清理生態正向發展。

所有會員公司前年即共同制訂了「廢棄物協力廠商的評鑑與稽核規範」，並於去年委請公正第三方配合會員公司共同稽核，試行成效符合預期。去年底經本協會理監事會議一致通過，爰由會員公司簽署自願性自律公約，承諾提升共同稽核標準，鼓勵優良廠商、嚴格監督績效落後廠商並輔導其提升管理能力。本會將持續支持政府政策，共同維護保護好我國的環境。



TSIA 環安衛委員會-許芳銘主任委員



廢棄物清理廠商管理自律公約簽署儀式合影

▶ 選舉第十一屆理事、監事

(監票人：賴宏洋監事；發票人：江珮君等秘書處工作人員；唱票人：無，採電腦計票；記票人：委託「財團法人中華民國電腦技能基金會」現場電腦計票)



▶ 專題演講

「從2017年國際大展看全球半導體技術發展與應用趨勢」

▶ 散會



講師-工研院產經中心彭茂榮經理
發表精彩演說

具博士學位之新進研究人員 / 博士研究生

吳素敏資深經理 / TSIA

「TSIA 半導體獎」是台灣半導體產業協會於2014年起，為了獎勵國內積極從事半導體之學術研究、發明或致力投入產業合作並有具體貢獻者而設立。

此獎項之得獎人由本會遴選委員會評選，遴選委員由在半導體領域已有卓越成就之學者、專家及產業領導者擔任。

今年具博士學位之新進研究人員半導體獎由交通大學陳柏宏副教授及成功大學高國興助理教授獲獎；博士研究生半導體獎得獎者，分別由台大、交大、清大、成功、中山等校10位博士班同學獲獎，本會期許得獎人以成為台灣半導體產業優秀貢獻者為目標，再接再厲，為台灣半導體產業之永續發展而戮力前進。

贊助單位：理監事公司

力成科技股份有限公司
力晶科技股份有限公司
工業技術研究院
日月光半導體製造股份有限公司
世界先進積體電路股份有限公司
世紀民生科技股份有限公司

立錡科技股份有限公司
台灣積體電路製造股份有限公司
矽品精密工業股份有限公司
南亞科技股份有限公司
凌陽科技股份有限公司
凱鈺科技股份有限公司

華邦電子股份有限公司
鈺創科技股份有限公司
鉅晶電子股份有限公司
漢民科技股份有限公司
聯發科技股份有限公司
聯華電子股份有限公司

· 以上順序依公司筆劃順序排列

■ 2017 TSIA半導體獎：具博士學位之新進研究人員



陳柏宏 Po-Hung Chen

國立交通大學 電子研究所

獲獎摘要：

陳柏宏副教授近年專注於開發綠能採集電路、低功率電源積體電路及無線充電系統，研發創新的電路技術及系統架構。特別在2012年獲博士學位後，在綠能採集電路上提出多項低電壓高效率電源積體電路架構及電路技術，論文發表於國際頂尖之ISSCC、VLSI會議上，也發表研究成果於IEEE JSSC、IEEE TCAS-I等一流期刊上，成果豐碩。

得獎經歷：

- 2016 年科技部前瞻學術研究計畫特優獎
- 2016 年 CIC 晶片製作優等設計獎
- 2015 年旺宏金矽獎設計組銅牌
- 2015 年 CIC 晶片製作特別設計獎
- 2012 年~2014 年國科會大專校院獎勵特殊優秀人才補助

重要學術著作：

1. F. K. Hsueh, C. H. Shen, J.-M. Shieh, K.-S. Li, H.-C. Chen, W.-H. Huang, H.-H. Wang, C.-C. Yang, T.-Y. Hsieh, C.-H. Lin, B.-Y. Chen, Y.-S. Shiao, G.W. Huang, O.-Y. Wong, **P.-H. Chen**, and W.-K. Yeh, "First Fully Functionalized Monolithic 3D+ IoT Chip with 0.5 V Lightelectricity Power Management, 6.8 GHz Wireless-communication VCO, and 4-layer Vertical ReRAM", IEEE International Electron Device Meeting (IEDM), pp. 31-34, Dec. 2016.
2. B. Zimmer, Y. Lee, A. Puggelli, J. Kwak, R. Jevtic, B. Keller, S. Bailey, M. Blagojevic, P.-F. Chiu, H.-P. Le, **P.-H. Chen**, N. Sutardja, R. Avizienis, A. Waterman, B. Richards, P. Flatresse, E. Alon, K. Asanović and B. Nikolić, "A RISC-V Vector Processor with Simultaneous-Switching Switched-Capacitor DC-DC Converters in 28 nm FDSOI", IEEE Journal of Solid-State Circuits (JSSC), vol. 51, no. 4, Apr. 2016.
3. **P.-H. Chen**, C.-S. Wu, and K.-C. Lin, "A 50nW-to-10mW Output Power Tri-Mode Digital Buck Converter with Self-Tracking Zero Current Detection for Photovoltaic Energy Harvesting", IEEE Journal of Solid-State Circuits (JSSC), vol. 51, no. 2, pp. 523-532, Feb. 2016.
4. **P.-H. Chen** and Philex M.-Y. Fan "An 83.4% Peak Efficiency Single-Inductor Multiple-Output Based Adaptive Gate Biasing DC-DC Converter for Thermoelectric Energy Harvesting," IEEE Transaction on Circuit and Systems I (TCAS-I), vol. 62, no. 2, pp. 405-412, Feb. 2015.
5. **P.-H. Chen**, C.-S. Wu, and K.-C. Lin, "A 50nW-to-10mW Output Power Tri-Mode Digital Buck Converter with Self-Tracking Zero Current Detection for Photovoltaic Energy Harvesting", IEEE International Solid-State Circuits Conference (ISSCC) Digest, pp. 376-377, Feb. 2015.
6. X. Zhang, **P.-H. Chen**, Y. Okuma, K. Ishida, Y. Ryu, K. Watanabe, T. Sakurai and M. Takamiya "A 0.6V Input CCM/DCM Operating Digital Buck Converter in 40nm CMOS" IEEE Journal of Solid-State Circuits (JSSC), vol. 49, no. 11, pp. 2377-2386, Nov. 2014.
7. **P.-H. Chen**, K. Ishida, X. Zhang, Y. Okuma, Y. Ryu, M. Takamiya, and T. Sakurai "An 80 mV startup dual-mode boost converter by charge-pumped pulse generator and threshold voltage tuned oscillator with hot carrier injection," IEEE Journal of Solid-State Circuits (JSSC), vol. 47, no.11, pp. 2554-2562, Nov. 2012.
8. X. Zhang, **P.-H. Chen**, Y. Ryu, K. Ishida, Y. Okuma, K. Watanabe, T. Sakurai, and M. Takamiya, "A 0.45-V input on-chip gate boosted (OGB) buck converter in 40-nm CMOS with more than 90% efficiency in load range from 2uW to 50uW," IEEE Symposium on VLSI Circuits (VLSI), pp. 194-195, June, 2012.
9. **P.-H. Chen**, K. Ishida, K. Ikeuchi, X. Zhang, K. Honda, Y. Okuma, Y. Ryu, M. Takamiya, and T. Sakurai "Startup techniques for 95-mV step-up converter by capacitor pass-on scheme and VTH-tuned oscillator with fixed-charge programming," IEEE Journal of Solid-State Circuits (JSSC), vol. 47, no.5, pp. 1252-1260, May 2012.
10. **P.-H. Chen**, K. Ishida, K. Ikeuchi, X. Zhang, K. Honda, Y. Okuma, Y. Ryu, M. Takamiya, and T. Sakurai, "A 95mV startup step-up converter with VTH-tuned oscillator by fixed-charge programming and capacitor pass-on scheme," IEEE International Solid-State Circuits Conference (ISSCC) Digest, pp. 216-217, Feb. 2011.

指導教授：

桜井貴康 教授

現職：日本東京大學 / 生產技術研究所
 學歷：日本東京大學 / 電機工程博士
 經歷：IEEE Fellow、IEICE Fellow

推薦專家：

鄭裕庭 教授

現職：國立交通大學 / 電子工程學系教授兼主任
 學歷：美國密西根大學安娜伯分校 / 電機工程博士
 經歷：中華民國微系統奈米科技協會理事、國立交通大學副教務長、
 奈米國家型計劃副執行長、IBM 華生研究中心委員

■ 2017 TSIA半導體獎：具博士學位之新進研究人員



高國興 Kuo-Hsing Kao

國立成功大學 電機工程學系

獲獎摘要：

高國興助理教授的專長為奈米電子元件之量子傳輸模擬與設計，亦致力於半導體低溫製程的開發。Junctionless FET with shell doping profile與dopantless FET為目前兩大代表性研究成果。前者已實驗證實能有效改善電晶體的subthreshold swing、降低漏電流與減少元件間之變異，並獲國家實驗研究院 "傑出科技貢獻獎" 之肯定。後者的問世，或許能改變過去七十多年來 "電晶體需要摻雜才能正常工作" 的鐵則，亦或能簡化電子元件的複雜製程。過去三年，其論文皆發表於國際期刊與會議中 (IEEE EDL × 2, IEEE TED × 2, J. App. Phys. × 2, IEEE IEDM × 5)。於2016-2017年間，協助八位研究生獲全額補助(共約台幣一百七十萬元)至歐洲微電子研究中心(IMEC)移地訓練至少六個月。於2015-2016年間，所指導的三位研究生獲得來自於教育部、台積電與民間各社團之獎學金，共台幣九十八萬七千元整。因此，高國興除了研究成果豐碩外，培育後進亦不遺餘力。

得獎經歷：

- 2017 TSIA Semiconductor Award (Junior PhD Researcher)
- 2015 Taiwan National Applied Research Labs Superior Technical Achievement Award
- 2014 Best Ph.D. Thesis Award, IEEE Tainan Section
- 2009-2013 IMEC PhD Researcher Scholarship

重要學術著作：

1. **K.-H. Kao***, et al., "Undoped and Doped Junctionless FETs: Source/Drain Contacts and Immunity to Random Dopant Fluctuation", IEEE Electron Device Lett., submitted.
2. **K.-H. Kao***, et al., "A Dopingless FET with Metal-Insulator-Semiconductor Contacts", IEEE Electron Device Lett., 38, 5, 2017.
3. Kumar M P, C.-Y. Hu, K.-H. Kao*, et al., "Impacts of the Shell Doping Profile on the Electrical Characteristics of Junctionless FETs", IEEE Trans. Electron Devices, 62, 3541, 2015.
4. **K.-H. Kao***, et al., "Compressively strained SiGe band-to-band tunneling model calibration based on p-i-n diodes and prospect of strained SiGe tunneling field-effect transistors", J. Appl. Phys. 116, 214506, 2014.
5. **K.-H. Kao***, et al., "Tensile strained Ge tunnel field-effect transistors: k·p material modeling and numerical device simulation", J. Appl. Phys. 115, 044505, 2014.
6. **K.-H. Kao***, et al., "Counter-doped pocket thickness optimization of gate-on-source-only tunnel FETs", IEEE Trans. Electron Devices, vol. 60, p. 6-12, 2013.
7. Y.-J. Lee, T.-C. Hong, F.-K. Hsueh, P.-J. Sung, C.-Y. Chen, S.-S. Chang, T.-C. Cho, S. Noda, Y.-C. Tsou, **K.-H. Kao**, et al., "High Performance Complementary Ge Peaking FinFETs by Room Temperature Neutral Beam Oxidation for Sub-7 nm Technology Node Applications", IEEE IEDM Tech. Dig., 33.5, 2016.
8. Y.-J. Lee, T.-C. Cho, P.-J. Sung, **K.-H. Kao**, et al., "High Performance Poly Si Junctionless Transistors with Sub-5nm Conformally Doped Layers by Molecular Monolayer Doping and Microwave Incorporating CO₂ Laser Annealing for 3D Stacked ICs Applications", IEEE IEDM Tech. Dig., 6.2, 2015.
9. Y.-J. Lee, T.-C. Cho, **K.-H. Kao**, et al., "A Novel Junctionless FinFET Structure with sub-5nm Shell Doping Profile by Molecular Monolayer Doping and Microwave Annealing", IEEE IEDM Tech. Dig., 32.7, 2014.
10. A.S.Verhulst, D.Verreck, Q.Smets, **K.-H. Kao**, et al., "Perspective of Tunnel-FET for Future Low-Power Technology Nodes", IEEE IEDM Tech. Dig., 30.2, 2014 (invited).

指導教授：

Prof. Kristin De Meyer

學歷：Ph.D., in Electrical Engineering, KULeuven (imec, Belgium)
 經歷：IEEE Fellow、IEEE Life Membership

推薦專家：

- 許渭洲 國立成功大學 / 電機資訊學院院長暨教授
- 趙天生 國立交通大學 / 電子物理系教授
- 陳一浸 國立成功大學兼任教授 / 聯華電子研發副總經理 / IEEE Fellow (2001)/Texas Instruments Fellow (1996)

■ 2017 TSIA半導體獎：博士研究生

譚偉鈞 Wei-Chun Tan

國立台灣大學 物理學系

獲獎摘要：

譚偉鈞同學在博士研究中專注於「石墨烯薄膜應用於新穎光電元件」之研究，提出的石墨烯垂直式場效光電元件提升了石墨烯材料在光電半導體領域的應用價值，其中的可變色金氧半結構發光電晶體改善了發光二極體的發光範圍且簡化了複雜的多層次製程，此結果發表於一流之 *Advanced Materials* 期刊。譚偉鈞能在博士研究生涯深入探討半導體元件之先進研究，成果豐碩、難能可貴。



得獎經歷：

- 2016 年科林論文獎
- 2016 年台灣大學理學院院長獎

重要學術著作：

1. **Tan, W. C.**; Chen, Y. C.; Liou, Y. R.; Hu, H. W.; Hofmann, M.; Chen, Y. F., An Arbitrary Color Light Emitter. *Adv. Mater.* 2017, 29 (3), 5.
2. **Tan, W. C.**; Chiang, C. W.; Hofmann, M.; Chen, Y. F., Tunneling-injection in vertical quasi-2D heterojunctions enabled efficient and adjustable optoelectronic conversion. *Sci Rep* 2016, 6, 7.
3. **Tan, W. C.**; Shih, W. H.; Chen, Y. F., A Highly Sensitive Graphene-Organic Hybrid Photodetector with a Piezoelectric Substrate. *Adv. Funct. Mater.* 2014, 24 (43), 6818-6825.
4. **Tan, W. C.**; Hofmann, M.; Hsieh, Y. P.; Lu, M. L.; Chen, Y. F., A graphene-based surface plasmon sensor. *Nano Research* 2012, 5 (10), 695-702.
5. Haider, G.; Roy, P.; Chiang, C. W.; **Tan, W. C.**; Liou, Y. R.; Chang, H. T.; Liang, C. T.; Shih, W. H.; Chen, Y. F., Electrical-Polarization-Induced Ultrahigh Responsivity Photodetectors Based on Graphene and Graphene Quantum Dots. *Adv. Funct. Mater.* 2016, 26 (4), 620-628.
6. Chiang, C. W.; Haider, G.; **Tan, W. C.**; Liou, Y. R.; Lai, Y. C.; Ravindranath, R.; Chang, H. T.; Chen, Y. F., Highly Stretchable and Sensitive Photodetectors Based on Hybrid Graphene and Graphene Quantum Dots. *Acs Applied Materials & Interfaces* 2016, 8 (1), 466-471.
7. Chang, C. W.; **Tan, W. C.**; Lu, M. L.; Pan, T. C.; Yang, Y. J.; Chen, Y. F., Electrically and Optically Readable Light Emitting Memories. *Sci Rep* 2014, 4, 6.
8. Chang, C. W.; **Tan, W. C.**; Lu, M. L.; Pan, T. C.; Yang, Y. J.; Chen, Y. F., Graphene/SiO₂/p-GaN Diodes: An Advanced Economical Alternative for Electrically Tunable Light Emitters. *Adv. Funct. Mater.* 2013, 23 (32), 4043-4048.
9. Cheng, S. H.; Weng, T. M.; Lu, M. L.; **Tan, W. C.**; Chen, J. Y.; Chen, Y. F., All Carbon-Based Photodetectors: An eminent integration of graphite quantum dots and two dimensional graphene. *Sci Rep* 2013, 3.
10. Chang, C. W.; Wang, D. Y.; **Tan, W. C.**; Huang, I. S.; Wang, I. S.; Chen, C. C.; Yang, Y. J.; Chen, Y. F., Enhanced performance of photodetector and photovoltaic based on carrier reflector and back surface field generated by doped graphene. *Appl. Phys. Lett.* 2012, 101 (7), 5.

指導教授：

陳永芳 教授

現職：國立台灣大學 / 物理學系

學歷：美國普度大學 / 物理博士

經歷：· 2006-2018 國立台灣大學物理系講座教授

· 2013 亞太材料學院院士

· 1998-2001、2001-2004 國科會特約研究員

■ 2017 TSIA半導體獎：博士研究生

顏智洋 Jih-Yang Yan

國立台灣大學 電子工程學研究所

獲獎摘要：

顏智洋同學於博士班就讀期間研究領域包括矽式電晶體自發熱效應之分析、後端連線之等效熱阻模型和銲場效電晶體之變溫特性等；考量真實晶片的熱邊界條件，輔以TCAD模擬，提出如何計算後段佈線的等效熱阻，最終提取出矽式電晶體的本質熱阻，此研究成果已發表於國際研討會2016 IEDM。在矽穿孔連通柱研究部分，則包含：應力分析、對周遭半導體元件之影響和其電訊號之衰減模擬方法改良；提出在後段佈線的氧化層造成矽基板表面切線應力及法線應力並不相等之結果，據此提出了矽穿孔之非對稱截止區模型，此研究結果已發表於國際期刊IEEE EDL。



得獎經歷：

- 2016 國立台灣大學電子工程學研究所學生傑出研究獎 (Outstanding Research Award of GIEE)

重要學術著作：

1. **Jih-Yang Yan**, Sun-Rong Jan, Yu-Jiun Peng, H. H. Lin, W. K. Wan, Y.-H. Huang, Bigchoug Hung, K.-T. Chan, Michael Huang, M.-T. Yang, and C. W. Liu, "Thermal Resistance Modeling of Backend Interconnect and Intrinsic FinFETs, and Transient Simulation of Inverters with Capacitive Loading Effects," p.898-901, International Electron Devices Meeting (IEDM), 2016.
2. **Jih-Yang Yan**, Sun-Rong Jan, Yi-Chung Huang, Huang-Siang Lan, C. W. Liu, Y.-H. Huang, Bigchoug Hung, K.-T. Chan, Michael Huang, and M.-T. Yang, "Compact Modeling and Simulation of TSV with Experimental Verification," International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA), Hsinchu, Taiwan, 2016.
3. **Jih-Yang Yan**, Sun-Rong Jan, Yi-Chung Huang, Huang-Siang Lan, Y.-H. Huang, Bigchoug Hung, K.-T. Chan, Michael Huang, M.-T. Yang and C. W. Liu, "Asymmetric Keep-out Zone of Through-Silicon Via using 28nm Technology Node", IEEE Electron Device Letter, Vol. 36, No. 9, pp. 938-940, 2015.
4. **Jih-Yang Yan**, Pin-Shiang Chen, Jiun-lan Pai, Wen-Wei Hsu and C. W. Liu, "The Incorporation of Electromagnetic Effects on Through Silicon Vias in TCAD Simulation" International Semiconductor Device Research Symposium, 2013.

指導教授：

劉致為 教授

現職：國立台灣大學 / 電機工程學系

學歷：美國普林斯頓大學 / 電機工程學系博士

經歷：· 2012, 2014 - Technical committee of Electrochemical Society, SiGe: materials,

· processing, and devices.

· 2008-2010 - Technical committee of International Electron Device Meeting (IEDM)

■ 2017 TSIA半導體獎：博士研究生



陳衍昊 Yen-Hao Chen

國立清華大學 資訊工程學系

獲獎摘要：

陳衍昊同學自2014年就讀博士學位開始，便專注於半導體晶片系統可靠度與容錯設計之研究。其中有提出針對Multiprocessor System-on-Chip(MPSoC)之系統層級，重新分配工作任務與處理核心之容錯技術，成果發表於亞洲的ASP-DAC會議。另藉由詳細分析不同Through Silicon Via(TSV)架構以提供三維半導體晶片設計者一個可數據化依據，以設計高可靠度之三維晶片，此成果發表於歐洲DATE會議。在暫存記憶體架構中，亦提出新的Dynamic Voltage Frequency Scaling(DVFS)機制，可以大幅增強暫存記憶體之可靠度，成果發表於世界頂尖IEEE期刊。研究品質優秀，數次發表於世界頂尖會議、期刊，成果豐碩。

得獎經歷：

- 103 年度國立清華大學校長獎學金獎
- 102 年度聯詠科技教育獎學金獎

重要學術著作：

1. **Yen-Hao Chen**, Yi-Lun Tang, Yi-Yu Liu, Allen C. H. Wu, TingTing Hwang, "A Novel Cache-Utilization Based Dynamic Voltage Frequency Scaling (DVFS) Mechanism for Reliability Enhancements," in IEEE Transactions on Very Large Scale Integration System (TVLSI), volume 25, issue 3, March, 2017.
2. **Yen-Hao Chen**, Chien-Pang Chiu, Russell Barnes, TingTing Hwang, "Architectural Evaluations on TSV Redundancy for Reliability Enhancement," in Proceedings of Design, Automation and Test in Europe (DATE), March, 2017.
3. Chia-Ling Chen, **Yen-Hao Chen**, TingTing Hwang, "Communication Driven Remapping of Processing Element (PE) in Fault-tolerant NoC-based MPSoCs," in Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), January, 2017
4. Wei Hen Lo, **Yen-Hao Chen**, TingTing Hwang, "Dynamic Data Migration to Eliminate Bank-level Interference for Stencil Applications in Multicore Systems," in Proceedings of Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI), March, 2015.
5. Ting-Wei Hung, **Yen-Hao Chen**, Yi-Yu Liu, "Memory Management for Dual-addressing Memory Architecture," in Proceedings of Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), October, 2013.
6. **Yen-Hao Chen**, Yi-Yu Liu, "Dual-addressing memory architecture for two-dimensional memory access patterns," in Proceedings of Design, Automation and Test in Europe (DATE), March, 2013.

指導教授：

黃婷婷 教授

現職：國立清華大學 / 資訊工程學系特聘教授

學歷：美國賓州州立大學博士

- 經歷：
- 2010-2014 國立清華大學 / 電機資訊學院副院長
 - 2006-2009 國立清華大學 / 資訊工程系系主任
 - 2006 國立清華大學 / 特聘教授

■ 2017 TSIA半導體獎：博士研究生



余昌鴻 Chang-Hung Yu

國立交通大學 電子研究所

獲獎摘要：

余昌鴻同學自2011年獲得碩士學位後，即專注於「前瞻性異質通道元件」(Hetero-Channel Devices)的靜電完整特性與可微縮性，以及「二維過渡金屬硫屬化合物元件」(2-D Transition Metal Dichalcogenide Devices)應用於低功耗邏輯電路與靜態隨機存取記憶體之研究分析上。其重要研究成果已分別發表於IEEE期刊以及國際會議上(著作與共同著作超過二十五篇期刊論文與會議論文)。

得獎經歷：

- 2016 年交通大學電子研究所博士論文獎優等獎
- 2014 年交大 - 台積電聯合研發中心獎助學金

重要學術著作：

1. **C.-H. Yu**, P. Su and C.-T. Chuang, "Impact of Random Variations on Cell Stability and Write-ability of Low-Voltage SRAMs using Monolayer and Bilayer Transition Metal Dichalcogenide (TMD) MOSFETs," IEEE Electron Device Letters, vol. 37, no. 7, pp. 928-931, Jul. 2016.
2. **C.-H. Yu**, M.-L. Fan, K.-C. Yu, V. P.-H. Hu, P. Su and C.-T. Chuang, "Evaluation of Monolayer and Bilayer 2-D Transition Metal Dichalcogenide Devices for SRAM Applications," IEEE Transactions on Electron Devices, vol. 63, no. 2, pp. 625-630, Feb. 2016.
3. **C.-H. Yu** and P. Su, "Built-in Effective Body-Bias Effect in Ultra-Thin-Body Hetero-Channel III-V-on-Insulator n-MOSFETs," IEEE Electron Device Letters, vol. 35, no. 8, pp. 823-825, Aug. 2014.
4. **C.-H. Yu** and P. Su, "Investigation of Backgate-Bias Dependence of Threshold-Voltage Sensitivity to Process and Temperature Variations for Ultra-Thin-Body Hetero-Channel MOSFETs," IEEE Transactions on Device and Materials Reliability, vol. 14, no. 1, pp. 375-381, Mar. 2014.
5. **C.-H. Yu**, Y.-S. Wu, V. P.-H. Hu, and P. Su, "Impact of Quantum Confinement on Backgate-Bias Modulated Threshold-Voltage and Subthreshold Characteristics for Ultra-Thin-Body GeOI MOSFETs," IEEE Transactions on Electron Devices, vol. 59, no. 7, pp. 1851-1855, Jul. 2012.
6. **C.-H. Yu**, Y.-S. Wu, V. P.-H. Hu, and P. Su, "Impact of Quantum Confinement on Subthreshold Swing and Electrostatic Integrity of Ultra-Thin-Body GeOI and InGaAs-OI n-MOSFETs," IEEE Transactions on Nanotechnology, vol. 11, no. 2, pp. 287-291, Mar. 2012.
7. **C.-H. Yu**, P. Su, and C.-T. Chuang, "Stability Optimization of Monolithic 3-D MoS₂-n/WSe₂-p SRAM Cells for Superthreshold and Near-/Sub-threshold Applications," in Proc. IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conf. (S3S), Oct. 2016.
8. **C.-H. Yu**, P. Su and C.-T. Chuang, "Impacts of Device Design and Variability on 6T/8T SRAM Cells with MoS₂-n/WSe₂-p MOSFETs for 5.9nm node," Extended Abstracts of the 2016 International Conference on Solid State Devices and Materials (SSDM), Sep. 2016.
9. **C.-H. Yu**, P. Su and C.-T. Chuang, "Benchmarking of Monolayer and Bilayer Two-Dimensional Transition Metal Dichalcogenide (TMD) Based Logic Circuits and 6T SRAM Cells," Proc. International Symposium on Low Power Electronics and Design (ISLPED), Aug. 2016, pp. 242-247.
10. **C.-H. Yu** and P. Su, "Investigation and Benchmark of Intrinsic Drain-Induced-Barrier-Lowering (DIBL) for Ultra-Thin-Body III-V-on-Insulator n-MOSFETs," Proc. 15th International IEEE Conference on Nanotechnology (IEEE NANO 2015), Jul. 2015.

指導教授：

蘇彬 教授

現職：國立交通大學 / 電子工程學系

學歷：美國加州柏克萊大學 / 電機工程學系博士

經歷：2012~2013 - Technical committee of International Electron Device Meeting (IEDM)

■ 2017 TSIA半導體獎：博士研究生

戴嘉岑 Chia-Tsen Dai

國立交通大學 電子研究所

獲獎摘要：

戴嘉岑同學於2012年在交通大學電子研究所開始攻讀博士學位，研究題目專注於「積體電路之靜電放電防護設計與門鎖效應防制研究」，提出高持有電壓矽控整流器(HHVSCR)堆疊架構應用於高壓積體電路之靜電放電防護，不僅能避開製程複雜度所導致的可靠性問題，也能針對不同操作電壓調整堆疊個數以符合靜電放電防護設計窗口，大幅減少佈局面積，並由實驗結果驗證其良好之靜電放電防護能力。另有高壓製程佈局結構之門鎖效應(Latchup)防制研究，藉由針對各種不同的元件結構及佈局參數對於門鎖效應敏感度的相互關係進行量測分析，可評估萃取出適用於高壓積體電路中門鎖效應防制的佈局準則。戴君的研究成果皆發表於一流之IEEE期刊或國際知名學術會議。藉由戴君的研究論文在IEEE知名期刊上陸續發表，吸引國際研究單位的重視，歐洲比利時的國際微電子研究中心(imec)特地邀請戴君至imec進行訪問研究，於2016年7月至12月期間前往，研究主題為「鱗式電晶體(FinFET)製程之門鎖效應防制研究」，研究成果已被知名國際學術會議接受並即將發表。

重要學術著作：

(A) Referred Journal Papers:

1. Chia-Tsen Dai and M.-D. Ker, "ESD protection design with stacked high-holding-voltage SCR for high-voltage pins in a battery-monitoring IC," IEEE Trans. on Electron Devices, vol. 63, no. 5, pp. 1996-2002, May 2016.
2. Chia-Tsen Dai and M.-D. Ker, "Optimization of guard ring structures to improve latchup immunity in an 18 V DDDMOS process," IEEE Trans. on Electron Devices, vol. 63, no. 6, pp. 2449-2454, Jun. 2016.

(B) International Conference Papers:

1. Chia-Tsen Dai, P.-Y. Chiu, M.-D. Ker, F.-Y. Tsai, Y.-H. Peng, and C.-K. Tsai, "Failure analysis on gate-driven ESD clamp circuit after TLP stresses of different voltage steps in a 16-V CMOS process," in Proc. IEEE International Symposium on Physical and Failure Analysis of Integrated Circuits, 2012.
2. Chia-Tsen Dai and M.-D. Ker, "Investigation on safe operating area and ESD robustness in a 60-V BCD process with different deep p-well test structures," in Proc. IEEE International Conference on Microelectronic Test Structures, 2013.
3. Chia-Tsen Dai and M.-D. Ker, "Study on ESD protection design with stacked low-voltage devices for high-voltage applications," in Proc. IEEE International Reliability Physics Symposium, 2014.
4. Chia-Tsen Dai and M.-D. Ker, "ESD protection design with stacked low-voltage devices for high-voltage pins of battery-monitoring IC," in Proc. IEEE International SOC Conference, 2015.
5. Chia-Tsen Dai, S.-H. Chen, D. Linten, M. Scholz, G. Hellings, R. Boschke, J. Karp, M. Hart, G. Groeseneken, M.-D. Ker, A. Mocuta, and N. Horiguchi, "Latchup in bulk FinFET technology," accepted by IEEE International Reliability Physics Symposium, 2017.

指導教授：

柯明道 教授

現職：國立交通大學 / 電子工程學系特聘教授

學歷：國立交通大學 / 電子研究所博士

經歷：· 國立交通大學 / 光電學院院長

· 科技部「奈米國家型科技計畫」執行長

· Editor, IEEE Trans. on Device and Materials Reliability

· 行政院傑出科技貢獻獎 (2015年)

■ 2017 TSIA半導體獎：博士研究生

李培瑜 Pei-Yu Lee

國立交通大學 電子研究所

獲獎摘要：

李培瑜同學自2012進入交大電子研究所攻讀博士學位，期間專注於積體電路設計自動化中時序分析(Timing Analysis)相關問題之研究，近年來研究成果包括提出快速準確的漸進式與時脈網路悲觀性移除時序分析(Incremental Timing and CPPR Analysis)，以及快速準確的電路模組萃取方法(Timing Macro Modeling)，前者獲得TAU 2015年全球冠軍，並將成果發表於頂尖會議ICCAD，後者獲得TAU 2016全球亞軍及TAU 2017全球冠軍，其研究成果發表於頂尖會議ISPD。培瑜所提出的方法極具創新性，實驗結果極佳，不論是速度與正確性皆是目前文獻上的最佳成果。

得獎經歷：

- ACM TAU 2017 Timing Macro Modeling Contest: 1st Place
- ACM TAU 2016 Timing Macro Modeling Contest: 2nd Place (Honorable Mentioned)
- ACM TAU 2015 Incremental Timing and CPPR Contest: 1st Place
- 2014 教育部積體電路電腦輔助軟體製作競賽佳作

重要學術著作：

1. Pei-Yu Lee, Iris Hui-Ru Jiang, Ting-You Yang, "TimerM: Compact and Accurate Timing Macro Modeling for Efficient Hierarchical Timing Analysis," in Proc. 2017 ACM International Symposium on Physical Design (ISPD), Portland, Oregon, USA, March 2017.
2. Pei-Yu Lee, Iris Hui-Ru Jiang, Cheng-Ruei Li, Wei-Lun Chiu, and Yu-Ming Yang, "iTimerC 2.0: Fast Incremental Timing and CPPR Analysis," in Proc. 2015 IEEE/ACM International Conference On Computer Aided Design (ICCAD), pp. 890-894, Austin, Texas, USA, November 2015.

指導教授：

江蕙如 教授

現職：國立交通大學 / 電子工程學系

學歷：國立交通大學 / 電子研究所博士

經歷：· 2013~2014 - Visiting Scholar, IBM Austin Research Lab

· 2016-present - Associate Editor of IEEE Trans on Computer-Aided Design (TCAD)

· 2012-present - Technical program committee of Design Automation Conference (DAC), International Conference on Computer-Aided Design (ICCAD), International Symposium on Physical Design (ISPD), Asia and South Pacific Design Automation Conference (ASP-DAC)

· 2016-present - Chair of IEEE CEDA DATC (Technical Committee of Design Automation)

· 2012~2014 - Chair/co-chair of IEEE CEDA / Taiwan MOE CAD contest at ICCAD

· 2016-present - Vice chair of ACM SigDA CADathlon@ICCAD

■ 2017 TSIA半導體獎：博士研究生



王奕翔 Yi-Hsiang Wang

國立成功大學 電機工程學系

獲獎摘要：

王奕翔同學於博士班就讀期間致力於類比IC設計之研究，領域包含光獵能(light energy harvesting)與電源管理(power management) IC設計。針對應用結合光能供電產品達到延長使用時間或能源自主目的。高光能獵能IC可應用於平板、智慧型手機等可攜式產品，可隨產品應用快速環境適應性改變，高效率地轉換並輸出最大功率且能降低因製程或元件老化等因素的影響。低光能獵能IC則可應用於無線感測器，讓太陽能板輸出最大功率並適當地轉換能量於負載與儲能元件，兼具低成本、體積小、高效率且能長時間自主且穩定操作。

得獎經歷：

- 2010 旺宏金矽獎IC設計組評審團銅獎(擔任隊長)
- Phi Tau Phi Scholastic Honor (斐陶斐榮譽會員)

重要學術著作：

1. **Yi-Hsiang Wang**, Yi-Wei Huang, Peng-Chang Huang, Hsuan-Ju Chen, and Tai-Haur Kuo, "A Single-Inductor Dual-Path Three-Switch Converter with Energy-Recycling Technique for Light Energy Harvesting," IEEE J. Solid-State Circuits, vol. 51, no. 11, pp. 2716-2728, Nov. 2016.
2. Hsuan-Ju Chen, **Yi-Hsiang Wang**, Peng-Chang Huang, and Tai-Haur Kuo, "An Energy-Recycling Three-Switch Single-Inductor Dual-Input Buck/Boost DC-DC Converter with 93% Peak Conversion Efficiency and 0.5mm² Active Area for Light Energy Harvesting," IEEE International Solid-State Circuits Conference (ISSCC), pp. 374-375, Feb. 2015.
3. **Yi-Hsiang Wang**, Wen-Chuen Liu, and Tai-Haur Kuo, "A 200W MPPT Boost Converter for BIPV Applications with Integrated Controller," in IEEE International Symposium on Computer, Consumer and Control (IS3C), pp. 288-291, June 2014.
4. Wen-Chuen Liu, **Yi-Hsiang Wang**, and Tai-Haur Kuo, "An Adaptive Load-Line Tuning IC for Photovoltaic Module Integrated Mobile Device with 470µsec Transient Time, Over 99% Steady-State Accuracy and 94% Power Conversion Efficiency," IEEE International Solid-State Circuits Conference (ISSCC), pp. 70-71, Feb. 2013.

指導教授：

郭泰豪 教授

現職：國立成功大學 / 電機工程學系

學歷：美國馬里蘭大學 / 電機工程學系博士

經歷：· 晶豪科技 / 副總經理

· 集新科技 / 總經理

■ 2017 TSIA半導體獎：博士研究生



吳政鴻 Cheng-Hung Wu

國立成功大學 電機工程學系

獲獎摘要：

吳政鴻同學於就讀成功大學電機系博士班的三年時間中，主要研究方向為測試與診斷向量產生技術之研發，此技術主要探討如何在增加少量測試向量的情況下，達到大幅提高測試與診斷效率與提升先進IC製程技術良率之目的，所研究的錯誤模型包含各種常見的錯誤模型以及未建立模型之缺陷，藉由整合測試向量產生技術與診斷向量產生技術，來加速先進製程技術的測試與診斷。吳同學至今已有多項優異之研究成果，包含一篇專利與已發表或已被接受之國內外會議論文14篇，包含兩篇IC測試領域規模最大且水準最高之國際會議IEEE International Test Conference (ITC)之會議全文論文以及五篇國際會議論文，其論文亦獲得VLSI Test Technology Workshop 2015之唯一最佳論文獎。此外，於2012-2016期間吳政鴻同學參與TSMC的產學合作計畫，針對20nm-16nm先進製程進行錯誤診斷研究，其研究成果應用於TSMC錯誤診斷流程後，證實可大幅提升其錯誤診斷能力，幾乎所有電路中的缺陷都能被成功診斷。

得獎經歷：

- 2016 VLSI Design/CAD Symposium, Best Paper Award
- 2015 VLSI Test Technology Workshop, Best Student Paper Award
- 2015 VLSI Design/CAD Symposium, Test Session Best Paper Award
- 2014 VLSI Design/CAD Symposium, Best Poster Award

重要學術著作：

1. **C.-H. Wu**, and K.-J. Lee, "Transformation of Multiple Fault Models to a Unified Model for ATPG Efficiency Enhancement," IEEE International Test Conference, 2016.
2. S.-L. Lin, **C.-H. Wu**, K.-J. Lee, "Repairable Cell-Based Chip Design for Simultaneous Yield Enhancement and Fault Diagnosis," IEEE Asian Test Symp. pp. 306-311, 2014.
3. **C.-H. Wu**, S. J. Lee and K.-J. Lee, "Test and Diagnosis Pattern Generation for Dynamic Bridging Faults and Transition Delay Faults," IEEE Asia and South Pacific Design Automation Conference, 2016.
4. K.-J. Lee and **C.-H. Wu**, "An Efficient Diagnosis-Aware Pattern Generation Procedure for Transition Faults," IEEE International Test Conference, 2014.
5. **C.-H. Wu**, K.-J. Lee, and W.-C. Lien, "An efficient diagnosis method to deal with multiple fault-pairs simultaneously using a single circuit model," IEEE VLSI Test Symp., pp. 240-245, 2014.
6. **C.-H. Wu**, and K.-J. Lee, "An Efficient Diagnosis Pattern Generation Procedure to Distinguish Stuck-at Faults and Bridging Faults," IEEE Asian Test Symp. pp. 306-311, 2014.
7. **C.-H. Wu**, K.-J. Lee, and W.-C. Lien, "An efficient stuck-at-fault diagnosis model using a single circuit model," VLSI DESIGN/ CAD Symp., Paper S15-1, 2014.
8. **C.-H. Wu**, K.-J. Lee, and S.-T. Wang, "Diagnosis pattern generation to distinguish transition delay faults and transistor stuck-open faults," VLSI Test Technology Workshop, Paper S1.1, 2015.
9. **C.-H. Wu**, K.-J. Lee, "An efficient diagnosis pattern generation method for stuck-at-faults with high test compaction," VLSI DESIGN/CAD Symp., Paper S02-5, 2015.
10. **C.-H. Wu**, K.-J. Lee, "An Efficient Test Pattern Generation Method for Cell-Internal Faults," accepted, VLSI DESIGN/CAD Symp., 2016.

指導教授：

李昆忠 教授

現職：國立成功大學 / 電機工程學系

學歷：美國南加州大學 / 電機工程系博士

經歷：· 1997 - Professor, Dept. of Electrical Engineering, National Cheng Kung University

· 1991-1997 Associate Professor, Dept. of Electrical Engineering, National Cheng Kung University

■ 2017 TSIA半導體獎：博士研究生



吳佳恩 Chia-En Wu

國立成功大學 電機工程學系

獲獎摘要：

吳佳恩同學於博士班就讀期間著重於顯示器相關電路架構開發之研究，將所設計的閘極驅動電路透過a-IGZO TFT實際製作於玻璃基板上，其結果發表於頂尖IEEE期刊Transactions on Electron Devices，而他針對內嵌式光學感測器也有豐碩之研究成果，藉由結合傳統彩色濾光片製程及photo TFT去補償環境光亮度，使光感測器能達到高訊雜比，其結果也分別發表於一流國際期刊IEEE Electron Device Letters及IEEE Journal of Solid-State Circuits。

得獎經歷：

- 2016年參加“第十六屆旺宏金矽獎”，獲得應用組銅獎
- 2013年獲得友達光電暑期工讀第十屆A+校園大使選拔第一名

重要學術著作：

1. C.-L. Lin*, **C.-E. Wu**, P.-S. Chen, C.-H. Chang, C.-C. Hsu, J.-S. Yu, C. Chang, and Y.-H. Tseng, "Hydrogenated amorphous silicon thinfilm transistor-based optical pixel sensor with high sensitivity under ambient illumination," IEEE Electron Device Letters, vol. 37, no. 11, pp. 1446-1449, Nov. 2016.
2. C.-L. Lin*, **C.-E. Wu**, P.-S. Chen, P.-C. Lai, J.-S. Yu, C. Chang, and Ya-Hui Tseng, "Optical pixel sensor of hydrogenated amorphous silicon thin-film transistor free of variations in ambient illumination," IEEE Journal of Solid-State Circuits, vol. 51, no.11, pp. 2777-2785, Nov. 2016.
3. C.-L. Lin*, **C.-E. Wu**, C.-E. Lee, F.-H. Chen, P.-S. Chen, and M.-X. Wang, "Insertion of simple structure between gate driver circuits to prevent stress degradation in in-cell touch panel using multi-V blanking method," IEEE/OSA Journal of Display Technology, vol. 12, no. 10, pp.1040-1042, Oct. 2016.
4. C.-L. Lin*, **C.-E. Wu**, F.-H. Chen, P.-C. Lai, and M.-H. Cheng, "Highly reliable bidirectional a-InGaZnO thin film transistor gate driver circuit for high-resolution displays," IEEE Transactions on Electron Devices, vol. 63, no.6, pp. 2405-2411, Jun. 2016.
5. C.-L. Lin*, T.-C. Chu, **C.-E. Wu**, and Y.-M. Chang, "Tracking touched trajectory on capacitive touch panels using adjustable weighted prediction Covariance Matrix," IEEE Transactions on Industrial Electronics. (Accepted in Dec. 2016)
6. C.-L. Lin*, M.-H. Cheng, C.-D. Tu, **C.-E. Wu**, and F.-H. Chen, "Low-power a-Si:H gate driver circuit with threshold-voltage-shift recovery and synchronously controlled pull-down scheme," IEEE Trans. Electron Devices, vol. 62, no.1, pp. 136-142, Jan. 2015.
7. C.-L. Lin*, C.-D. Tu, **C.-E. Wu**, and C.-C. Hung, "Low power gate driver circuit for TFT-LCD application," IEEE Transactions on Electron Devices, vol. 59, no.5, pp. 1410-1415, May 2012.

指導教授：

林志隆 教授

現職：國立成功大學 / 電機工程學系(所)

學歷：國立台灣大學 / 電機博士

經歷：· 明碁電通
· 絡達科技
· 友達光電

■ 2017 TSIA半導體獎：博士研究生



陳柏勳 Po-Hsun Chen

國立中山大學 物理學系

獲獎摘要：

陳柏勳同學於博士班就讀期間研究領域主要以銻錫氧化物(Indium Tin Oxide, ITO)薄膜運用於電阻式記憶體(Resistance Random Access Memory, RRAM)；利用ITO透明導電膜於RRAM結構電極上，使其具備低操作電流及自我限流特性；另透過ITO共鍍過渡元素做為電極，成功開發出低耗能兼具高記憶窗口之RRAM元件；此外將具導電性之ITO材料以共鍍氣體製程方式改良，將其運用於RRAM之絕緣層中，實驗結果顯示該元件具備良好的電阻切換特性，整體研究有助於RRAM元件發展。相關研究成果已順利發表於ACS Applied Materials & Interfaces、IEEE 等國際期刊，並申請台灣、美國專利。

重要學術著作：

1. **Po-Hsun Chen**, Ting-Chang Chang, Kuan-Chang Chang, Tsung-Ming Tsai, Chih-Hung Pan, Min-Chen Chen, Yu-Ting Su, Chih-Yang Lin, Yi-Ting Tseng, Hui-Chun Huang, Huaqiang Wu, Ning Deng, He Qian, and Simon M. Sze, "Resistance Switching Characteristics Induced by O₂ Plasma Treatment of an Indium Tin Oxide Film for Use as an Insulator in Resistive Random Access Memory," ACS Applied Materials & Interfaces, VOL. 9, NO. 3, pp. 3149-3155, Jan. 2017.
2. **Po-Hsun Chen**, Ting-Chang Chang, Kuan-Chang Chang, Tsung-Ming Tsai, Chih-Hung Pan, Chih-Cheng Shih, Cheng-Hsien Wu, Cheng-Chi Yang, Yu-Ting Su, Chih-Yang Lin, Yi-Ting Tseng, Min-Chen Chen, Ruey-Chi Wang, Ching-Chieh Leu, Kai-Huang Chen, Ikai Lo, Jin-Cheng Zheng and Simon M. Sze, "Obtaining Lower Forming Voltage and Self-Compliance Current by Using a Nitride Gas/Indium-Tin Oxide Insulator in Resistive Random Access Memory," IEEE Trans. Electron Devices, VOL. 63, NO. 12, pp. 4769-4775, Dec. 2016.
3. **Po-Hsun Chen**, Kuan-Chang Chang, Ting-Chang Chang, Tsung-Ming Tsai, Chih-Hung Pan, Yu-Ting Su, Cheng-Hsien Wu, Wan-Ching Su, Chih-Cheng Yang, Min-Chen Chen, Chun-Hao Tu, Kai-Huang Chen, Ikai Lo, Jin-Cheng Zheng and Simon M. Sze, "Modifying Indium-Tin-Oxide by Gas Cosputtering for Use as an Insulator in Resistive Random Access Memory. IEEE Transactions on Electron Devices," IEEE Trans. Electron Devices, VOL. 63, NO. 11, pp. 4288-4294, Nov. 2016.
4. **Po-Hsun Chen**, Kuan-Chang Chang, Ting-Chang Chang, Tsung-Ming Tsai, Chih-Hung Pan, Chih-Yang Lin, Fu-Yuan Jin, Min-Chen Chen, Hui-Chun Huang, Ming-Hui Wang, Ikai Lo, Jin-Cheng Zheng and Simon M. Sze, "Improving Performance by Doping Gadolinium Into the Indium-Tin-Oxide Electrode in HfO₂-Based Resistive Random Access Memory," IEEE Electron Device Lett., VOL. 37, NO. 5, pp. 584-587, May 2016.
5. **Po-Hsun Chen**, Kuan-Chang Chang, Ting-Chang Chang, Tsung-Ming Tsai, Chih-Hung Pan, Tian-Jian Chu, Min-Chen Chen, Hui-Chun Huang, Jin-Cheng Zheng, and Simon M. Sze, "Bulk Oxygen-Ion Storage in Indium-Tin-Oxide Electrode for Improved Performance of HfO₂-Based Resistive Random Access Memory," IEEE Electron Device Lett., VOL. 37, NO. 3, pp. 280-283, Mar. 2016.
6. **Po-Hsun Chen**, Kuan-Chang Chang, Ting-Chang Chang, Tsung-Ming Tsai, Chih-Hung Pan, Chih-Yang Lin, Fu-Yuan Jin, Min-Chen Chen, Hui-Chun Huang, Ikai Lo, Jin-Cheng Zheng and Simon M. Sze, "Effects of Erbium Doping of Indium Tin Oxide Electrode in Resistive Random Access Memory," Appl. Phys. Express, VOL. 9, pp. 034202-1-034202-4, Feb. 2016.

指導教授：

張鼎張 教授

現職：國立中山大學 / 物理系講座教授

學歷：國立交通大學 / 電子所博士

經歷：· 1999~迄今 國立中山大學物理系
· 1994~1999 國家奈米元件實驗室

2016第四季暨全年 台灣半導體產業回顧與展望

TSIA；工研院IEK系統IC與製程研究部

一、全球半導體市場概況

根據WSTS統計，16Q4全球半導體市場銷售值達930億美元，較上季(16Q3)成長5.4%，較去年同期(15Q4)成長12.3%；銷售量達2,177億顆，較上季(16Q3)成長0.8%，較去年同期(15Q4)成長11.7%；ASP為0.427美元，較上季(16Q3)成長4.5%，較去年同期(15Q4)成長0.5%。

2016年全球半導體市場全年總銷售值達3,389億美元，較2015年成長1.1%；2016年總銷售量達8,241億顆，較2015年成長4.7%；2016年ASP為0.411美元，較2015年衰退3.4%。

16Q4美國半導體市場銷售值達190億美元，較上季(16Q3)成長11.3%，較去年同期(15Q4)成長10.1%；日本半導體市場銷售值達85億美元，較上季(16Q3)成長1.2%，較去年同期(15Q4)成長10.5%；歐洲半導體市場銷售值達84億美元，較上季(16Q3)成長1.7%，較去年同期(15Q4)成長1.3%；亞洲區半導體市場銷售值達571億美元，較上季(16Q3)成長4.7%，較去年同期(15Q4)成長15.2%。其中，中國大陸市場305億美元，較上季(16Q3)成長7.4%，較去年同期(15Q4)成長20.4%。

2016年美國半導體市場總銷售值達655億美元，較2015年衰退4.7%；日本半導體市場銷售值達323億美元，較2015年成長3.8%；歐洲半導體市場銷售值達327億美元，較2015年衰退4.5%；亞洲區半導體市場銷售值達2,084億美元，較2015年成長3.6%。2016年全球半導體市場全年總銷售值達3,389億美元，較2015年成長1.1%。

二、台灣IC產業產值概況

工研院IEK統計2016年第四季(16Q4)台灣整體IC產業產值(含IC設計、IC製造、IC封裝、IC測試)達新台幣6,442億元(USD\$19.9B)，較上季(16Q3)衰退2.3%，較去年同期(15Q4)成長14.4%。其中IC設計業產值為新台幣1,598億元(USD\$4.9B)，較上季(16Q3)衰退10.4%，較去年同期(15Q4)衰退0.6%；IC製造業為新台幣3,606億元(USD\$11.2B)，較上季(16Q3)成長0.5%，較去年同期(15Q4)成長23.2%，其中晶圓代工為新台幣3,138億元(USD\$9.7B)，較上季(16Q3)成長0.5%，較去年同期(15Q4)成長29.1%，記憶體製造為新台幣468億元(USD\$1.4B)，較上季(16Q3)成長0.6%，較去年同期(15Q4)衰退6.0%；IC封裝業為新台幣858億元(USD\$2.7B)，較上季(16Q3)成長0.9%，較去年同期(15Q4)成長11.9%；IC測試業為新台幣380億元(USD\$1.2B)，較上季(16Q3)成長1.3%，較去年同期(15Q4)成長15.5%。新台幣對美元匯率以32.3計算。

三、2016年台灣IC產業產值達新台幣24,493億元，較2015年成長8.2%

工研院IEK統計2016年台灣IC產業產值達新台幣24,493億元(USD\$75.8B)，較2015年成長8.2%。其中IC設計業產值為新台幣6,531億元(USD\$20.2B)，較2015年成長10.2%；IC製造業為新台幣13,324億元(USD\$41.3B)，較2015年成長8.3%，其中晶圓代工為新台幣11,487億元(USD\$35.6B)，較2015年成長13.8%，記憶體製造為新台幣1,837億元(USD\$5.7B)，較2015年衰退16.8%；IC封裝業為新台幣3,238億元(USD\$10.0B)，較2015年成長4.5%；IC測試業為新台幣1,400億元(USD\$4.3B)，較2015年成長6.5%。新台幣對美元匯率以32.3計算。

表一 2016年台灣IC產業產值統計結果

單位：億新台幣

	16Q1	季成長	年成長	16Q2	季成長	年成長	16Q3	季成長	年成長	16Q4	季成長	年成長	2016年	年成長
IC產業產值	5,441	-3.4%	-4.6%	6,014	10.5%	8.2%	6,596	9.7%	14.9%	6,442	-2.3%	14.4%	24,493	8.2%
IC設計業	1,452	-9.7%	6.8%	1,697	16.9%	21.5%	1,784	5.1%	14.2%	1,598	-10.4%	-0.6%	6,531	10.2%
IC製造業	2,954	0.9%	-9.4%	3,177	7.5%	4.0%	3,587	12.9%	17.3%	3,606	0.5%	23.2%	13,324	8.3%
晶圓代工	2,491	2.5%	-5.9%	2,736	9.8%	9.8%	3,122	14.1%	23.7%	3,138	0.5%	29.1%	11,487	13.8%
記憶體製造	463	-7.0%	-24.2%	441	-4.8%	-21.7%	465	5.4%	-13.1%	468	0.6%	-6.0%	1,837	-16.8%
IC封裝業	730	-4.8%	-4.8%	800	9.6%	2.8%	850	6.3%	8.0%	858	0.9%	11.9%	3,238	4.5%
IC測試業	305	-7.3%	-4.7%	340	11.5%	3.0%	375	10.3%	11.9%	380	1.3%	15.5%	1,400	6.5%
IC產品產值	1,915	-9.1%	-2.8%	2,138	11.6%	9.1%	2,249	5.2%	7.2%	2,066	-8.1%	-1.9%	8,368	2.9%
全球半導體成長率	-	-	-	-	-	-	-	-	-	-	-	-	-	1.1%

註：(e)表示預估值(estimate)。

資料來源：TSIA；工研院IEK系統IC與製程研究部(2017/03)

表二 2011年~2017年台灣IC產業產值

單位：億新台幣

	2011年	2011年成長率	2012年	2012年成長率	2013年	2013年成長率	2014年	2014年成長率	2015年	2015年成長率	2016年	2016年成長率	2017年(e)	2017年成長率
IC產業產值	15,627	-11.7%	16,342	4.6%	18,886	15.6%	22,033	16.7%	22,640	2.8%	24,493	8.2%	25,916	5.8%
IC設計業	3,856	-15.2%	4,115	6.7%	4,811	16.9%	5,763	19.8%	5,927	2.8%	6,531	10.2%	6,890	5.5%
IC製造業	7,867	-12.6%	8,292	5.4%	9,965	20.2%	11,731	17.7%	12,300	4.9%	13,324	8.3%	13,971	4.9%
晶圓代工	5,729	-1.7%	6,483	13.2%	7,592	17.1%	9,140	20.4%	10,093	10.4%	11,487	13.8%	12,724	10.8%
記憶體製造	2,138	-32.5%	1,809	-15.4%	2,373	31.2%	2,591	9.2%	2,207	-14.8%	1,837	-16.8%	1,247	-32.1%
IC封裝業	2,696	-6.1%	2,720	0.9%	2,844	4.6%	3,160	11.1%	3,099	-1.9%	3,238	4.5%	3,482	7.5%
IC測試業	1,208	-5.5%	1,215	0.6%	1,266	4.2%	1,379	8.9%	1,314	-4.7%	1,400	6.5%	1,573	12.4%
IC產品產值	5,994	-22.3%	5,924	-1.2%	7,184	21.3%	8,354	16.3%	8,134	-2.6%	8,368	2.9%	8,137	-2.8%
全球半導體成長率	-	0.4%	-	-2.7%	-	4.8%	-	9.9%	-	-0.2%	-	1.1%	-	6.5%

註：(e)表示預估值(estimate)。

資料來源：TSIA；工研院IEK系統IC與製程研究部(2017/03)

說明：

- IC產業產值=IC設計業+IC製造業+IC封裝業+IC測試業
- IC產品產值=IC設計業+記憶體製造(是指自有產品製造，其中記憶體是最大宗)
- IC製造業產值=晶圓代工+記憶體製造(是指自有產品製造，其中記憶體是最大宗)

2017 Q1台灣半導體產業市場趨勢暨專題研討會活動報導

陳昱錡經理 / TSIA

台灣半導體產業協會(TSIA)為服務會員，與工研院產經中心(IEK)、華邦電子(winbond)合作、經濟部技術處(ITIS)，於2017年3月1日舉辦市場趨勢暨專題研討會。

2017年第一場半導體市場趨勢報告由IEK江柏風資深分析師分析解讀，江分析師從重要國家的GDP、PMI、原物料的走勢，分析2016年第四季與全年度全球總體經濟與台灣的景氣變化；也藉由終端電子產品的市場趨勢及未來成長走勢展望全球半導體市場趨勢及台灣IC產業的未來，最後針對車用半導體的成長潛力預測半導體產業在汽車電子的機會與市場供與會學員參考。

TSIA在2017年的第一場專題邀請IEK的范哲豪產業分析師為與會學員分享「5G與半導體發展趨勢」。范分析師一開場就以無所不在的通訊產品如何使物聯網應用在人類的生活，點出5G的願景是實現萬物相連世代；同時表列全球主要國家日、韓、歐盟與大陸如何積極強化5G主導能力，及這些國家在5G願景上，所投入的目標與資源。接著分析5G行動寬頻與巨量連結帶來的市場機會，以及物聯網低功耗廣域網絡(LPWAN)各種陣營技術優劣勢比較；最後藉由Qualcomm、Intel、Samsung、Huawei等國際半導體廠商發展動態來看5G的未來應用。兩位講師精彩的季報解讀與專題分享獲得在場學員一致讚賞。

TSIA市場資訊委員會正規劃2017年Q2台灣半導體產業市場趨勢季報解讀與專題講師邀請，歡迎業界人員密切注意本協會網站 www.tsia.org.tw 所公佈之活動訊息。TSIA秘書處聯絡人：陳昱錡經理，電話：03-591-7124，Email：doris@tsia.org.tw。



工研院IEK江柏風與范哲豪講師合影



現場交流聯誼



專題分享花絮

TSIA 2017 Q1校園巡迴講座系列

—台灣大學『宏觀下的半導體與未來的封裝技術』講座報導

吳素敏資深經理 / TSIA

台灣半導體產業協會(TSIA)與國立台灣大學電子工程研究所(GIEE, NTU)及日月光半導體(ASE Group)聯合於2017年3月27日(一)下午，假國立台灣大學博理館113室舉辦『宏觀下的半導體與未來的封裝技術』校園講座，特別邀請到TSIA理事-日月光半導體洪松井資深副總擔任演講嘉賓。

演講活動由台灣大學電子所吳忠職教授主持及開幕致詞，與會來賓包括TSIA產學委員會副主委關志達教授、電子所所長吳安宇教授、2017 TSIA半導體獎得主之指導教授劉致為教授，以及日月光半導體呂妙玲資深行銷企劃經理。

精彩的演講內容以宏觀的角度來審視半導體的演變、封裝的技術趨勢、摩爾定律的發展與瓶頸、及探討未來半導體發展的趨勢。

洪資深副總首先引言半導體產業的緣起，導引學生點出封裝的主要功能為：保護、散熱、電性訊號傳遞、電源穩定度等。雖然封裝技術越來越複雜及多元，但攸關4C (Communications, Computing, Consumer, Automotive) 的技術仍是發展主軸，導引封裝技術，以效能、成本、整合、微型等四大趨勢發展。

而摩爾定律的技術演進其深深影響著半導體的價格、市場、與效能，但隨著未來整合性產品的需求及多元化的技術，摩爾定律是否符合未來市場成本將是挑戰。洪副總介紹日月光的封測技術及發展，以其SiP技術為例，來說明它如何對半導體產品提供技術與功能的支援以補摩爾定律之不足。洪資深副總最後並總結半導體的趨勢將由以電腦→走向通訊→走向資訊→走向生命科學，來點出未來半導體的發展趨勢。

洪資深副總分享其精闢觀點獲得現場102位學生及教授肯定，學生發言非常踴躍。隨著AI、IoT等各樣應用蓬勃發展，半導體前瞻技術需要更多的年輕學子投入，洪資深副總會中鼓勵學子投入半導體產業，並勉勵學生在這個變遷快速的時代，技術的變革一日千里，要不斷充實自己，提升自己的適應力及競爭力。



日月光半導體-洪松井資深副總精彩演講



台大吳忠職教授主持並致贈日月光半導體洪松井資深副總紀念品



於博理館前共同合影

新會員介紹

編輯部



宇柏林股份有限公司 Tester Soft Ltd.

公司概况：

宇柏林股份有限公司自1995年創立以來，一直秉持著「品質、技術、服務」的工作理念為印刷電路板界提供服務。初期以軟體系統服務為主，所開發的軟體深受國內外使用者好評，並多次受日本業者委託開發隨機軟體，除了加強軟體系統服務外，亦將層面擴展到設備研發製作，因有軟體系統的深厚基礎，所以在設備研發方面形成相輔相成的效果。

公司產品：底片 / 光罩檢查機 / 鋼版檢查機 / 防焊後泛用型檢查機

1. 應用領域：半導體

- 底片/光罩/鋼版檢查機：
 - IC製造、LED chip都需要曝光製程，而曝光製程需使用底片或光罩。
 - IC封裝的凸塊製程、植球製程、OLED蒸鍍製程...等都有鋼版需求，擁有宇柏林檢查機可高效並提早檢出底片/光罩/鋼版問題，以減少財務損失。
- 防焊後泛用型檢查機：
 - IC封裝的載板進料檢驗，可用來確保採購之載板上的防焊層和防焊層下方電路無異常。

2. TFT LCD TOUCH PANEL

- 底片/光罩檢查機
 - ITFT LCD產業的TFT製程、TOUCH PANEL產業的ITO電極製程、Dot Space製程...等都會用到底片/光罩，宇柏林底片/光罩檢查機能夠讓客戶高效地檢出底片/光罩缺陷避免因底片/光罩問題產生的良率損失。

公司網址：www.testersoft.com



普登科技實業有限公司 PU DENG TECHNOLOGY CO., LTD.

公司概况：

普登科技於2004年成立，專營引進日本各大廠之工業自動化控制設備，服務國內自動化產線系統商，並代理販售日本電產工業與產業用馬達及各種機電產品。

2011年開始涉入太陽能發電事業，提供國內客戶從規劃、設計、申請、全程施工監造、市電併聯、遠端監控及定期維護等一體化服務。

2016年起運用日本半導體產業及研究會資源，引進先進設備，並跨足IC設計，提供產業鏈新的服務模式。

公司產品：後製程設備 / IC設計

公司網址：www.pudeng.com.tw

M31 円星科技股份有限公司 M31 Technology Corporation

公司概况：

円星科技成立於2011年7月，營運總部位於台灣新竹，是專業的矽智財(Silicon Intellectual Property)開發商。円星科技擁有非常堅強的研發與服務團隊，具備矽智財、積體電路設計以及設計自動化領域的資深工作經驗。

由於優異的矽智財競爭力、矽智財整合力、技術支援能力，以及有效率地提供符合客戶需求的产品優化能力，円星科技自2012年起成為台積電矽智財聯盟成員，近年來更得到諸多國際肯定與榮耀：円星科技於2013年榮獲ISO9001：2008品質管理系統之國際標準驗證證書認證，以及台積電「新興矽智財供應商」獎；2014年獲EE Times選為「全球60家最值得關注的新創公司」；2016年獲頒台積電「獨特矽智財合作夥伴」獎。

円星科技的願景是「成為半導體產業最值得信賴的矽智財公司」。

公司產品：

1. 基礎矽智財：元件庫(Cell library)設計、記憶體設計(memory design)、靜電防護輸出入庫(ESD/IO library)
2. 高速介面矽智財：USB、PCIe、MIPI、SATA

公司網址：www.m31tech.com

CORNING
台灣康寧

台灣康寧顯示玻璃股份有限公司 Corning Display Technologies Taiwan Co., Ltd.

公司概况：

康寧公司為全球材料科學的領導供應商。結合其超過160年在特殊玻璃、陶瓷及光學物理方面的專業知識，康寧公司開發出的產品創造出嶄新產業，改變了人們的生活。康寧早在40年前便已開始耕耘台灣市場。1971年，康寧在台成立生產電視陰極射線管(CRT)的太平洋玻璃股份有限公司。隨著液晶顯示器(LCD)產業逐漸成長，康寧亦決定將其LCD玻璃基板製造產線貼近其客戶面板製造商的需求，並於2000年正式註冊成立台灣康寧顯示玻璃公司(CDTT)。

為滿足客戶不斷成長的需求，並響應台灣政府的產業發展政策，台灣康寧顯示玻璃公司於2000年正式成立，並於同年在台南興建第一座LCD玻璃基板廠。隨著產業快速成長，台南廠亦不斷擴充產能，並於2004年3月加入熔爐製程，成為規模完整的LCD玻璃基板生產廠。2004年4月，康寧宣布於台中興建第二座LCD玻璃基板廠的計畫，專注於大尺寸玻璃基板的生產，以因應不斷成長的市場需求。台中廠是全球最大的LCD玻璃基板生產廠之一，於2006年1月開幕，並從2004年起進行數次擴建。透過台南與台中兩廠的產能，康寧可確保高品質LCD基板的穩定供貨、地區性供貨的基礎架構及市場領導技術，滿足甚至是超越台灣地區顯示器製造商的需求。

除了台灣康寧顯示玻璃公司外，康寧在台灣的事業體還包括台灣康寧國際、台灣康寧研發中心以及康寧亞洲玻璃技術中心。

公司產品：先進光學 / 通信網路 / 顯示器玻璃 / 環保科技事業群 / 生命科學 / 醫療科技

公司網址：www.corning.com/tw

Micron 台灣美光記憶體股份有限公司
MICRON MEMORY Taiwan Co., LTD

公司概況：

Micron Technology is a world leader in innovative memory solutions. Through our global brands- Micron, Crucial, Lexar and Ballistix- our broad portfolio of high-performance memory technologies, including DRAM, NAND, NOR Flash and 3D XPoint memory, is transforming how the world uses information. Backed by more than 35 years of technology leadership, Micron's memory solutions enable the world's most innovative computing, consumer, enterprise storage, data center, mobile, embedded, and automotive applications. To learn more about Micron Technology, Inc., visit micron.com.

公司產品：

研究、設計、開發、製造及銷售：

- 1.動態隨機存取記憶體製造及晶圓代工
- 2.前述產品之先進封裝及測試服務

公司網址：www.micron.com

Amkor Technology 艾克爾先進科技股份有限公司
Amkor Advanced Technology Taiwan, Inc.

公司概況：

艾克爾國際科技(Amkor Technology)於1968年創立於美國賓州，為全球第二大先進半導體封裝與測試服務提供商。

艾克爾以策略製造夥伴的角色，提供全球超過兩百家居於領導地位的半導體公司與OEM廠，並強調技術的穩健與創新，致力於改善現有產品製程的效能與積極發展新封裝與測試服務。

艾克爾於2001年合併上寶半導體與台宏半導體，成立艾克爾台灣分公司，2004年併購眾晶科技成立湖口廠，同年入主悠立半導體。台灣地區現有龍潭廠、湖口廠及艾克爾先進科技廠，主要產品包含晶圓凸塊、覆晶封裝、晶圓級封裝、測試製程與全球獨家的數位光源產品，廣泛應用於通訊、消費性電子、網路設備等領域。除了服務國內IC廠，美國、日本等世界各地的IC大廠也是本公司服務的重要對象，是符合市場潮流的科技產業。

公司產品：WLCSP / CuP Bump / Solder Bump / Probe Test / DPS / FCBGA

公司網址：www.amkor.com

TSIA 入會申請資格及辦法

歡迎申請加入TSIA台灣半導體產業協會，請至TSIA網站www.tsia.org.tw於產業服務「入會申請」專區留言或 e-mail 至 service@tsia.org.tw，您也可以致電03-591-5574，我們將儘速與您聯絡！

議 題	
團體會員	凡總公司設於中華民國之半導體產業相關機構（研發、設計、製造、構裝、測試、設備、材料及其他與半導體相關廠商），並在台灣設立登記者，填具入會申請書，經理事會審核通過，並繳納會費後，成為會員，並依據所繳常年會費數額推派代表二至三十人行使會員權益。
國際會員	凡總公司設於中華民國境外之半導體產業相關機構（研發、設計、製造、構裝、測試、設備、材料及其他與半導體相關廠商），在台灣設立分公司、辦事處或研發中心，填具入會申請書，經理事會審核通過，並繳納會費後，成為會員。
贊助會員	捐助本會之個人或非半導體相關團體，經本會理事會通過後，得為贊助會員。
榮譽會員	由理事會推薦頒贈。

會 費																									
入 會 費	會員（榮譽會員除外）於本會時，應一次繳納入會費新台幣1萬元整。																								
常年會費	<table border="1"> <thead> <tr> <th>資本額(新台幣/元)</th> <th>常年會費/年</th> <th>得派代表人數</th> </tr> </thead> <tbody> <tr> <td>二億以下</td> <td>2萬元</td> <td>2人</td> </tr> <tr> <td>二億(含)~四億</td> <td>4萬元</td> <td>3人</td> </tr> <tr> <td>四億(含)~十億</td> <td>6萬元</td> <td>4人</td> </tr> <tr> <td>十億(含)~三十億</td> <td>12萬元</td> <td>6人</td> </tr> <tr> <td>三十億(含)~一百億</td> <td>18萬元</td> <td>8人</td> </tr> <tr> <td>一百億(含)~五百億</td> <td>32萬元</td> <td>12人</td> </tr> <tr> <td>五百億(含)以上</td> <td>90萬元</td> <td>30人</td> </tr> </tbody> </table>	資本額(新台幣/元)	常年會費/年	得派代表人數	二億以下	2萬元	2人	二億(含)~四億	4萬元	3人	四億(含)~十億	6萬元	4人	十億(含)~三十億	12萬元	6人	三十億(含)~一百億	18萬元	8人	一百億(含)~五百億	32萬元	12人	五百億(含)以上	90萬元	30人
	資本額(新台幣/元)	常年會費/年	得派代表人數																						
二億以下	2萬元	2人																							
二億(含)~四億	4萬元	3人																							
四億(含)~十億	6萬元	4人																							
十億(含)~三十億	12萬元	6人																							
三十億(含)~一百億	18萬元	8人																							
一百億(含)~五百億	32萬元	12人																							
五百億(含)以上	90萬元	30人																							
國際會員	<table border="1"> <thead> <tr> <th>級數</th> <th>定義(根據加入會員時之前一年度排名)</th> <th>常年會費/年(新台幣/元)</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>全球前二十大半導體公司</td> <td>60萬元</td> </tr> <tr> <td>B</td> <td>全球前二十大IC設計公司及各國/地區十大半導體相關公司，非屬於全球前二十大者</td> <td>15萬元</td> </tr> <tr> <td>C</td> <td>其他</td> <td>5萬元</td> </tr> </tbody> </table>	級數	定義(根據加入會員時之前一年度排名)	常年會費/年(新台幣/元)	A	全球前二十大半導體公司	60萬元	B	全球前二十大IC設計公司及各國/地區十大半導體相關公司，非屬於全球前二十大者	15萬元	C	其他	5萬元												
級數	定義(根據加入會員時之前一年度排名)	常年會費/年(新台幣/元)																							
A	全球前二十大半導體公司	60萬元																							
B	全球前二十大IC設計公司及各國/地區十大半導體相關公司，非屬於全球前二十大者	15萬元																							
C	其他	5萬元																							
贊助會員	每年新台幣2萬元整。																								

WELCOME TO JOIN US

TSIA 委員會活動摘要

黃佳淑經理彙整 / TSIA

一. 生產製造技術委員會

主委：聯華電子-許堯壁資深處長

- 106年1月12日召開e-Manufacturing & Design Collaboration Symposium 2017第一次籌備會議，討論活動主軸、專題演講講師及活動時程表。
- 106年2月22日召開e-Manufacturing & Design Collaboration Symposium 2017第二次籌備會議，討論專題演講講師、活動網站、Call for Papers內容確認與寄送及活動時程表。

二. IC設計委員會

主委：工研院資通所-關志克所長

- 105年12月5-9日參加美國夏威夷召開之JEDEC國際標準制定會議，由聯發科技宣敬業經理及晶豪科技蕭子哲處長代表出席。
- 105年12月21日召開TSIA消費性電子記憶體介面標準工作小組「JEDEC會後會會議暨Workshop」。
- 106年3月6-10日參加美國聖安東尼奧奧夷召開之JEDEC國際標準制定會議，由聯發科技宣敬業經理代表出席。
- 106年3月22日召開TSIA消費性電子記憶體介面標準工作小組「JEDEC會後會會議暨Workshop」。
- 籌備規劃2017 IC設計年度研討會。
- IP TF工作小組支援WSC/GAMS/JSTC相關IP會議。

三. 市場資訊委員會

主委：華邦電子-林正恭副總經理

- 106年2月20日發佈2016全年度TSIA IC產業動態調查季報及中英文新聞稿。
- 106年3月1日舉辦「台灣半導體產業市場趨勢暨5G與半導體發展趨勢專題研討會」，季報解讀由工研院產經中心江柏風資深產業分析師剖析產業趨勢，並由工研院產經中心范哲豪產業分析師分享「5G與半導體發展趨勢」。
- 積極參與國際組職WSTS。

四. 財務委員會

主委：力晶科技-邱垂源處長

- 106年1月9日召開財務委員會會議，由邱垂源主委主持，會中擬定106年度研討會時程及議題。

五. 環保安全衛生委員會

主委：台積電-許芳銘處長

- 105年12月6日於新竹國賓飯店舉辦「高科技產業環境保護永續發展國際研討會」並頒發獎狀給「廢棄物評鑑優良廠商」。
- 105年12月28日許芳銘主委召開TSIA環安委員會「2016年第六次委員會議」，主題包含：WSC會議工作項目討論、相關法規討論、IHTESH 2017籌備。
- 106年1月18日邀請相關光阻類等化學品供應商出席「PFAS問卷說明會議」。

- 106年1月19日賴懷仁副主委、呂慶慧顧問、羅明廉委員參加WSC Chemicals WG Planning Conference Call。
- 106年1月24日許芳銘主委、呂慶慧顧問參加WSC ESH Committee Chairperson Teleconference。
- 106年2月13-19日由許芳銘主委、賴懷仁副主委、魏致中委員、呂慶慧顧問等代表出席於美國鳳凰城召開之WSC ESH Committee會議。
- 106年2月23日召開「高科技產業廢棄物清理及再利用自律公約研商會議」，由各公司代表及法務人員參加。
- 106年3月3日許芳銘主委召開TSIA環安委員會「2017年第一次委員會議」，主題包含：WSC會議相關工作推展、IHTESH舉辦、近期法規研商、高科技產業廢棄物清理及再利用自律公約研商會議、自願協議聲明活動等。
- 106年4月6日於會員大會中舉行「廢棄物廠商管理自律公約簽署儀式」。

六. 產學委員會

主委：交通大學-吳重雨教授

- 106年3月27日於國立台灣大學博理館311室舉辦「宏觀下的半導體與未來的封裝技術」校園講座，特別邀請到日月光半導體洪松井資深副總經理擔任講者。

- 協助推動智慧城市行動方案。
- 因應經濟部需要希了解公協會推動產學情形，執行辦理「產學訓合作人才培育」合作案。
- 籌備規劃許炳堅教授新書出版<數位時代的孫悟空>及校園巡迴演講計畫。
- 協助臺灣半導體產學研發聯盟(TIARA)推動事務。
- 籌備規劃106年Q2 - Q4暨107年Q1校園演講。

七. 遴選委員會

主委：盧超群理事長

- 106年1月13日完成初審。
- 106年1月19日完成複審。
- 106年3月1日公告「2017 TSIA半導體獎得獎人名單」。
- 106年4月6日於TSIA會員大會中頒發2017 TSIA半導體獎。

八. 能源委員會

主委：台積電-王建光副總經理

- 105年12月1日召開「TSIA能源委員會第五次委員會議」。
- 105年12月22日於經濟部水利署召開「水資源多元化管理合作平台」第三次溝通會議。



德國萊茵河浪漫之旅

Stephen Tsai

萊茵河畔

忙碌了一整年，決定讓自己放鬆一下，安排了2週的德國萊茵河自助旅行終於成行，因為不想趕路，因此，行程以慢遊為主，法蘭克福已停留多次，不是此行重點，主要是以德南及德西萊茵河(Rhein)沿線為主，主要停留城市是露迪斯海姆(Rudesheim)、科隆(Köln)、杜塞道夫(Düsseldorf)、哈瑙(Hanau)，以及海德堡(Heidelberg)。

● 啟程

2016年10月中旬正直秋高氣爽，搭乘華航從桃園國際機場直飛法蘭克福，德國當地交通主要以德鐵(DB, 網站 www.bahn.de)為主，計畫沿著萊茵河往下遊旅行，因萊茵河太美，尤其梅因茲(Mainz)到科布林茲(Koblenz)之間，因河道縮減，兩岸古堡林立，又值秋天葉子開始變換顏色，美極了，一定要搭一段。本想由梅因茲搭KD Line【萊茵遊輪公司，KD是德國城市科隆(Köln)及杜塞道夫(Düsseldorf)的第一個英文字母縮寫】抵首站露迪斯海姆(Rudesheim)，但適值淡季沒趕上船班，由機場改搭德鐵轉Rhein10線經威斯巴登抵達露迪斯海姆。因此，改由露迪斯海姆搭KD Line到聖高爾(St Goar)，再轉德鐵到科隆及杜塞道夫。回程再搭乘DB ICE(德鐵高速火車)經法蘭克福抵哈瑙，再搭德鐵至海德堡，最後停留法蘭克福一晚，再搭機回國。



1



2

1. 德鐵 DB Information 是您最好的搭車顧問
2. 萊茵河最大的遊輪公司 KD Line

在德國，搭德鐵是最方便又快速的長途移動交通工具，您可以在網路預訂車票(像台灣的高鐵)，預先訂各種優惠票，不想麻煩，也有周遊券(German Rail Pass)1個月內3-10日任選無限搭乘，這次最大的搭乘心得是即使您不知道如何搭，找到車站DB Information，告知您想從那個城市到那個城市，馬上幫您印出最快最合適的班車、轉接資訊及時刻，再買票，即使錯過班車，也沒問題，月台上都貼有班次表，黃色的是出發，白色的是抵達，別弄錯。找到同等車種，有停靠抵達城市，即可搭乘，但僅能坐2nd Class車廂，不能坐有預約車位的1st Class車廂，在德國車站沒有門欄、剪票員，但沒買票被查到，罰款可是非常驚人，從柯隆搭ICE到法蘭克福時即有遇到查票員，絕對不要心存僥倖，最重要的是守法精神。



□ 可由山上覽車俯視壯觀葡萄園



□ 山上尼達瓦德紀念碑俯視壯觀葡萄園及萊茵河

● 首站萊茵河畔迷人的小鎮—露迪斯海姆(Rudesheim)

露迪斯海姆是個葡萄酒鄉、滿山的葡萄園，欣賞城市及葡萄園，您可以搭纜車上山，山上矗立著尼達瓦德紀念碑(Niederwald-Denkmal)，是這個小城的地標，是為了紀念1871年德意志帝國統一所建的日耳曼女神像。再沿著葡萄園散步緩慢下山，也可在山上Hiking，再搭纜車下山，但注意路標，我們因為走岔了，迷失在黑森林裡，也欣賞到一些平常旅客見不到的美景，還好有GPS及熱心的旅人。

離車站不遠有一座的葡萄酒博物館，是由布雷姆薩古堡改建，曾是梅恩茲大主教離宮、中古世紀騎士居所，院子裡放置幾個大木酒桶及釀酒器具。內部則是收集展示不同時期的酒器酒瓶、介紹葡萄酒的製程。入口處有販賣部也可以試酒，有冰酒、紅葡萄酒、白葡萄酒，其實德國是以生產白葡萄酒聞名，萊茵河谷幾乎80%以上都是生產白葡萄-麗絲琳(Lisling)品種，還有沒有酒精的白葡萄酒，連孕婦都可以喝。古堡上有個露台，向前看可以眺望欣賞萊茵河往來的船隻，往山上看也可欣賞連綿像梯田的葡萄園。夜晚於市中心有名孕育葡萄酒文化的斑鳩小巷(Drosselgasse)，找間有演唱的餐廳，點杯葡萄酒吃晚餐，疲憊全消！是個很棒的度假小鎮。另外，露迪斯海姆咖啡也是必點的特色熱飲，幾乎每家餐廳幾乎都有賣，是現點現做，倒入當地特產白葡萄酒及糖，點火後倒入咖啡，最後加上奶油及巧克力粉，是最經典的美酒加咖啡！

□ 市中心有名的斑鳩小巷



□ 萊茵河畔兩岸不時出現城堡及葡萄園時光



□ 杜塞爾多夫舊城區(Altstadt)港邊啤酒屋林立

● 萊茵河巡弋－搭KD Line由露迪斯海姆到聖高爾(St Goar)

萊茵河發源於阿爾卑斯山，中游兩岸有著許多中古世紀城堡、歷史小鎮和葡萄梯田，從羅馬時期就是重要交通要衝，其最大支流莫色耳河(Moselle)的特里爾城即是古羅馬人建造的，柯隆、波昂等城也曾是羅馬軍隊駐紮地，也因而成了各種文化、民族相互碰撞的多元地區。無論就地理位置、歷史事件、政治傳承，以及建築、藝術、人文等各方面的高度成就，都讓萊茵河中游河谷地帶享有「浪漫萊茵」的美譽。

我們搭KD Line由露迪斯海姆搭出發，船上可點德國啤酒、咖啡或其他飲料及點心，一邊欣賞兩岸不時出現城堡及葡萄園時光，廣播也用英文簡介兩岸的城堡，大部分為中世紀建造，最大功能是商業關稅及軍事要衝，目前多改建為博物館、醫院或飯店，部分由私人擁有。最有名的如鼠堡、萊茵修坦堡、奧夫森堡等，一段段古老的傳說不時把人們的思緒帶向遙遠的過往。其中羅雷萊(Loreley)少女傳說最為人所稱頌，據說是幾百年前，萊茵河的女兒羅雷萊(Lorelei)住在萊茵河中的一座巨石上，是位絕色的金髮美女，歌喉美妙。所有聽到她歌聲的船夫都會立刻愛上她，使船夫們忘記注意身旁湍急危險的萊茵河。因在羅雷萊所在巨石下游，有危險的漩渦和尖稜的石頭。被羅雷萊吸引的船夫們，往往船身被撞破，葬身河底，就像「羅雷萊之歌」中所描述的「……我不知道怎麼這樣可哀可傷又叫人迷惘」，令人陶醉在這充滿浪漫情懷的萊茵河美景之中。



□ 萊茵河畔兩岸不時出現城堡



□ 萊茵河畔凄美傳說－羅雷萊(Loreley)巨石

● 萊茵河畔的珍珠－杜塞爾多夫

我們先停留於科隆，發現除了科隆大教堂、購買4711古龍水及RIMOWA行李箱，並沒有吸引我們的。反而是杜塞爾多夫(Düsseldorf)這個德國北萊茵-威斯特伐倫(Nordrhein Westfalen)州的首府令我們流連忘返，除了是萊茵河畔的商業大城、德國的廣告、時裝及通訊業的重要城市，也是德國詩人海涅的故鄉，其故居，就在最熱鬧的波卡街，現已改為書局，並銷售海涅一系列書籍、研究及紀念商品，定期會舉辦相關文學活動，城中有400多家廣告公司，但最令我們著迷的是城市的悠閒氣息。

最著名的悠閒遊憩景點就是舊城區(Altstadt)，往河邊走，人潮越多，有200多家餐廳和酒館，這裡是全德國餐館最密集的地區，街道上不時飄著肉腸和排餐的香氣，更混雜著亞洲和義大利餐館的氣息，傍晚點喝德國啤酒的酒吧川流不息。靠近萊茵河畔有連綿一整排的酒吧、餐廳，您可以選靠近河邊的餐廳，或點杯啤酒或咖啡，放鬆心情，沈澱自己，細細欣賞河岸風光、船隻及移動的客旅，就是愜意。



□ 舊城區(Altstadt)德國傳統街頭表演

這裡原本只是小河港，12世紀的老碼頭還被保留下來，還停一艘老帆船，供人懷舊，小廣場上，還有威廉大公的雕像，17世紀因選侯約翰威廉大公熱愛藝術，而將這裡建設成文化古城。但二戰期間，飽受轟炸，今日所見許多都是1940年代重建的。在廣場波卡街口還遇到熱鬧德國傳統街頭表演，移動的迷人鋼琴家表演，以及街頭少年的倒立表演(城內水溝蓋上有倒立少年圖像，現已成為城市象徵標誌之一)。

老運河區的國王大道(Konigsallee)，運河兩側被一間間時尚高檔品牌的專賣店占領，逛一整天都不嫌多。但更喜歡停留旁邊的霍夫城堡公園(Hofgarten)，是市中心最大的綠地，連接著運河往北走，有個寧靜的湖泊，野雁、綠頭鴨、鴿子、天鵝各類禽鳥，為湖邊掀起種種高潮，時而寧靜，時而聒噪，串起一幅幅生動美景，劇院博物館及歌德博物館也在附近，是優閒散步的好去處。



霍夫城堡公園(上圖)及歌德博物館(左圖)

● 格林兄弟故居哈瑙(Hanau)及浪漫海德堡(Heidelberg)

相信很多人在小時候就閱讀過格林童話，如「小紅帽」、「灰姑娘」、「睡美人」、「白雪公主」、「穿長統靴的貓」、「青蛙王子」、「傑克與魔豆」等，哈瑙(Hanau)這個城市就是格林兄弟的出生地，也是童話街道的起點，下次時間充裕，可以規劃一趟童話街道之旅，包括馬堡、卡塞爾、哈曼、薩巴堡等。哈瑙市政廳廣場前有格林兄弟巨大的塑像，設有傳統的金屬刻板，記載著哈瑙為童話大道的起點。塑像正後方的市政廳最美，離開前一天剛好是固定的週三市集，熱鬧非凡，也體驗一下當地市集生活，品嚐美味市集午餐。

因想要更瞭解哈瑙鎮的歷史，搭乘市區巴士前往菲利浦逍遙宮(Schloss Philippsruhe)，這是座建於18世紀的巴洛克風格建築，原為哈瑙伯爵所居住的城堡，但於1984年毀於大火，後來歷經整修，已開放成為博物館，裡面存放著哈瑙鎮建成的許多史料以及文物，包括伯爵家族收藏、家族油畫畫像、當地畫家畫作、格林兄弟介紹及展覽，想要了解哈瑙歷史的最佳去處。需要門票，可以照相，但要加收費用，以不同顏色手環識別，最可惜的是沒有英文及中文解說，還好參觀中遇到一對來自中國的夫婦，他們在另一個溫泉勝地經營旅店，利用淡季來哈瑙一遊，也在2樓咖啡廳一起喝杯咖啡閒聊，分享他們在德國生活及創業的甘苦，非常不容易。



3



4

3.哈瑙市政廳廣場前市集與格林兄弟塑像
4.菲利浦逍遙宮(Schloss Philippsruhe)



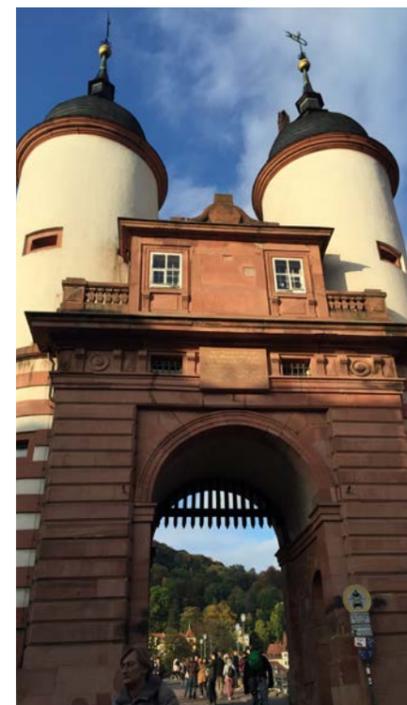
烽火摧殘後的海德堡更見滄桑感

離開哈瑙，前進此行最後一站：海德堡，距離法蘭克福/哈瑙都很近，只要一小時車程就可以抵達，這座自11世紀逐漸發展起來的古城，孕育了德國最古老也最具知名的「海德堡大學」(創立於1386年)，在17世紀曾經歷戰爭而滿目瘡痍，並於18世紀以巴洛克建築風格進行重建。主要河川內卡河在此處由狹窄而陡峭的Odenwald山谷流向萊茵河谷，並與萊茵河在海德堡西北的曼海姆交匯。海德堡城堡則位於山坡上，是俯視整個海德堡老城及老橋的最佳視野，城堡以歌德式、巴洛克式及文藝復興三種風格的混合而成，而其浪漫就在她部分傾頹未修復所展現的滄桑感。朋友之前到訪過，極力推崇海德堡的浪漫美麗，建議傍晚沿著小徑上山一覽古城的風采。

為了深入了解海德堡，我們參加了遊客中心的導覽及解說，古城區以哥德式建築為主，包括海德堡大學、圖書館、學生監獄、街道、廣場、最古老蹟飯店、海德堡老橋。特別參觀了學生監獄，建造於16世紀，原是用來隔離行為不良的學生，每次關3天到一個月不等的時間，聽說這些勇於提出異議者與老師衝撞的學生，有不少都成就非凡。

德國著名的思想家馬克思、文學家歌德，宗教改革家馬丁路德，都曾在此任教過或停留過。其中最知名的浪漫主義文學早期作家歌德，因1774年發表的小說《少年維特的煩惱》，引發了全歐洲成千上萬青年的崇拜和模仿。其作品啟蒙了德國民族主義意識與崛起。海德堡因而成為了德國浪漫主義文學的中心，成為詩人和作家聚會交流的聖地。有機會到德國旅遊，一定不要錯過這麼浪漫的古城。

艷陽下的老橋特別炫麗



牆上刻痕是過去河川內卡河重要水患淹水紀錄

