

Taiwan

<http://www.tsia.org.tw/>

2011/Apr No.56

TSIA

# Semiconductor

Industry Association

台灣半導體產業協會 · 簡訊

## 專題報導

超接面金氧半功率場效電晶體 (Superjunction Power MOSFET)  
之技術發展分析

## 政策新焦點

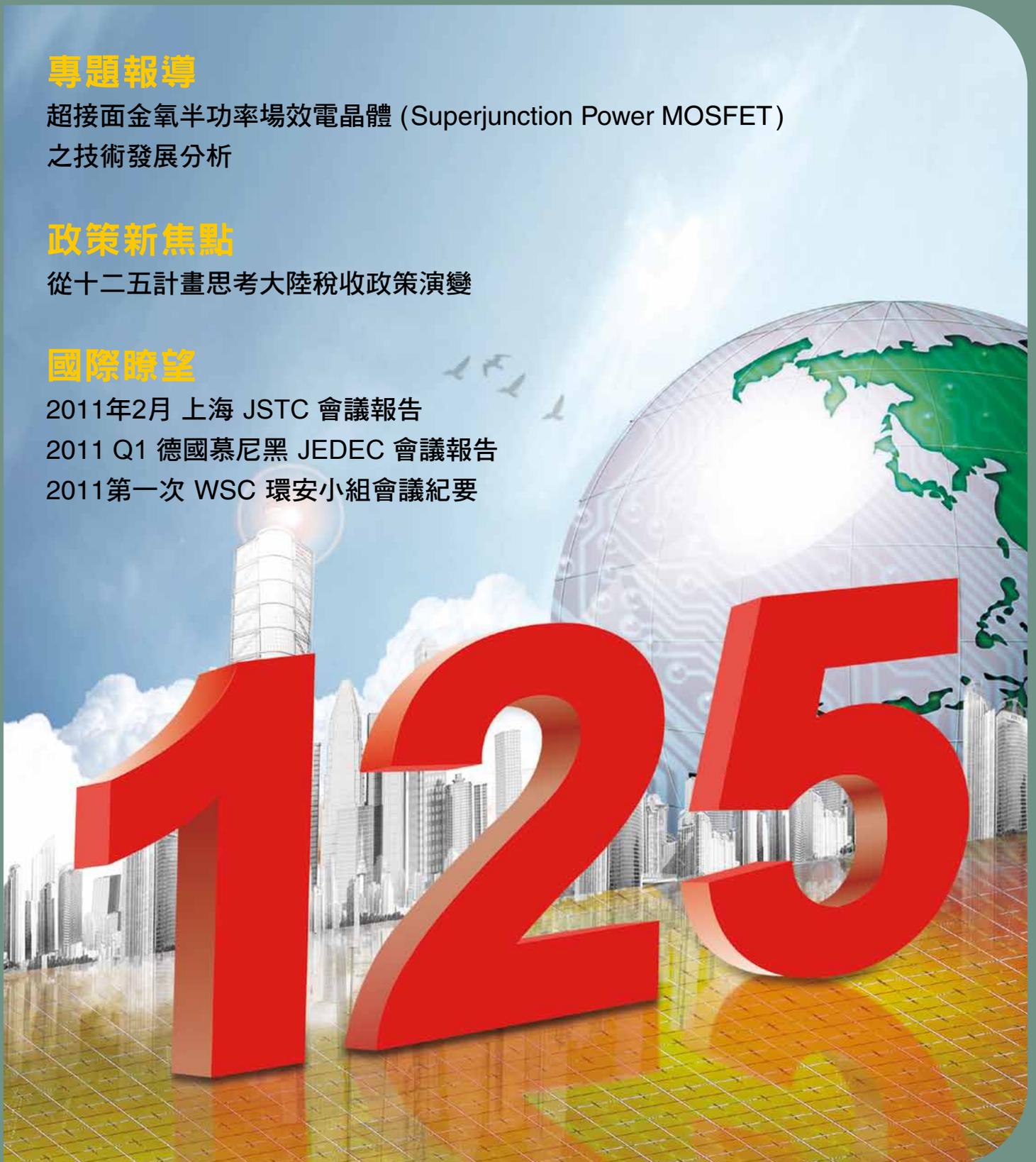
從十二五計畫思考大陸稅收政策演變

## 國際瞭望

2011年2月 上海 JSTC 會議報告

2011 Q1 德國慕尼黑 JEDEC 會議報告

2011第一次 WSC 環安小組會議紀要





*Speed counts!*

緊急貨物處理專家

*24/7 Hand-Carry Service*

**WORLD COURIER**  
A SERVICE NO ONE ELSE CAN DELIVER

假如您公司的成功皆來自於貨物準時抵達，誰會是您最信賴的運輸夥伴？  
距離貨物抵達時間迫在眉梢，世界速遞的專人提帶服務是您最可靠的選擇

相信世界速遞永遠領先同業：

- 有經驗的專人提帶服務
- 服務網遍及 全球50國及140個分公司據點
- 所有貨物均由 專人、專車及最快可用航班運送，全程監控，直至送達
- 可根據您的需求，不論晝夜，派遣專人送件或取件
- 無重量、尺寸、價值之限制
- 專業客服人員為您解答有關 特殊物品/危險品 運送的國際規則

一旦無預警的貨物運送發生，相信我們超過40年的經驗

詳見我們的網站 <http://www.worldcourier.com> 或直接聯絡世界速遞台灣分公司業務部 陳副理

+886 2 2659 2866 / [sales@worldcourier.com.tw](mailto:sales@worldcourier.com.tw)

# 2011 TSIA半導體短期實務在職培訓班

提昇您的半導體實務競爭力 開創職場生涯另一高峰

TSIA半導體短期實務在職培訓班將於6月份陸續開課了!

《若有需求提供公司內訓服務廠商，歡迎與本會聯繫!》

上課地點：國立交通大學 (新竹市大學路1001號) / 工研院 (竹東中興院區)

TSIA半導體學院計畫培訓課程



編號	課程名稱	時數	開課日期	師資陣容	費用
100S054	3D IC 市場/設計/製程簡介	12	2011/6/11~6/18 (週六)日間班 9:00~12:00; 13:30~16:20	唐經洲/南科大教授 (曾任職工研院晶片中心)	5,000
100S021	先進SOI製程技術	12	2011/7/23~7/30 (週六)日間班 9:00~12:00; 13:30~16:20	廖傑 博士/TSIA業界顧問 (半導體製造廠經驗豐富)	5,000
100S056	TSV Interposers for 3D IC Integration	12	2011/8/5~8/6 8/5 (五)晚間 18:00~22:00 8/6 (六)日間 8:30~17:30	劉漢誠 博士/工研院電光所 (曾任職美國惠普及安捷倫)	5,000
100ST003	FPD LCD Dr. 測試原理與設備	12	2011/8/5~8/6 (週五、六)日間班 9:00~12:00; 13:00~16:00	施文宗/積智科技執行副總 (曾任飛利浦、愛德萬、日月光等) 吳旺蒼/積智科技研發部副理 蔡坤霖/積智科技研發部經理	5,000
100ST004	EDA-Linked & IDDQ測試與設計	12	2011/8/12~8/13 (週五、六)日間班 9:00~12:00; 13:00~16:00		5,000

本計畫報名費用：由經濟部工業局補助1/2課程費用；一般學員僅需付1/2費用；身心障礙者、原住民或低收入戶等身分之學員補助70%。

\*特別為會員提供更多元的服務，加開以下課程，歡迎選課，會員享優惠價。

編號	課程名稱	時數	開課日期	師資陣容	會員價NT\$	非會員價NT\$
100A001	先進微影技術	12	2011/6/24~7/15 (週五)晚間班 18:30~21:20	林俊宏 博士/TSIA顧問 (曾任職台積電、NDL等)	5,000	6,500
100A002	低功耗數位IC設計	18	2011/7/2~7/16 (週六)日間班 9:00~12:00; 13:30~16:20	賴俊澤 博士等/晶心科技師資群	5,500	7,000
100A003	積電電路元件可靠性分析	18	2011/7/9~7/23 (週六)日間班 9:00~12:00; 13:30~16:20	王木俊/明新科大教授 (曾任聯電及擔任多家廠商之訓練講師)	5,500	7,000
100A004	積電電路MOS元件量測	18	2011/7/30~8/13 (週六)日間班 9:00~12:00; 13:30~16:20	王木俊/明新科大教授 (曾任聯電及擔任多家廠商之訓練講師)	5,500	7,000
100A005	嵌入式系統概念 (Embedded System Concept)	18	2011/8/13~8/27 (週六)日間班 9:00~12:00; 13:30~16:20	賴俊澤 博士等/晶心科技師資群	5,500	7,000

簡章索取方式：http://www.tsia.org.tw; E-mail: candy@tsia.org.tw; 洽詢電話：(03) 5913181江小姐

# Call participation

## JEDEC Mobile Memory Forum Taiwan 2011 June.22, 2011 at Ambassador Hotel Hsinchu

由JEDEC, IDB, ITRI, TSIA聯合舉辦之JEDEC Mobile Memory Forum Taiwan 2011將於2011年6月22日假新竹國賓大飯店舉行，敬邀參加！

報名及聯絡，詳見網址: <http://www.tsia.org.tw>

### Agenda

<b>8:30AM</b>	<b>Welcome Remarks</b>
<b>9:00AM</b>	<b>Presentation #1</b> <b>Title:</b> Mobile Memory Solutions and the Challenges Ahead <b>Speaker:</b> Allen Yu, Phison
<b>9:30AM</b>	<b>Presentation #2</b> <b>Title:</b> Next Generation Storage Solutions: UFS Standard and its Features <b>Speaker:</b> Sung H. Lee, Samsung Electronics co., LTD
<b>10:00AM</b>	<b>Presentation #3</b> <b>Title:</b> UFS, Future SSDs for Mobile Platforms <b>Speaker:</b> Jonathan Hubert, Micron
<b>10:30AM</b>	<b>Presentation #4</b> <b>Title:</b> Memory Ecosystem Trends <b>Speaker:</b> Hung Vuong, Qualcomm
<b>11AM</b>	<b>Panel Discussion</b> <b>Panelists:</b> <b>Sung Lee, Doohee Hwang, Perry Keller, Hung Vuong, Jonathan Hubert, Dan Skinner, Steffen Hellmold, Sophie Dumas, Cecil Ho, KH Han</b>
<b>12:00</b>	<b>Lunch Break</b>
<b>1:00PM</b>	<b>Presentation #5</b> <b>Title:</b> A "How To" Guide to Developing and Deploying UFS Products <b>Speaker:</b> Perry Keller, Agilent
<b>1:30PM</b>	<b>Presentation #6</b> <b>Title:</b> Wide I/O <b>Speaker:</b> Sophie Dumas, STEricsson
<b>2:00PM</b>	<b>Presentation #7</b> <b>Title:</b> LPDDR3 and Wide I/O: Mobile Memory's Future <b>Speaker:</b> Dan Skinner, Micron
<b>2:30PM</b>	<b>Presentation #8</b> <b>Title:</b> LPDDR3 for Mobile Platforms <b>Speaker:</b> Sophie Dumas, STEricsson
<b>3:00PM</b>	<b>Presentation #9</b> <b>Title:</b> SSD Going Ultra Mobile <b>Speaker:</b> Steffen Hellmold, SandForce
<b>3:30PM</b>	<b>Presentation #10</b> <b>Title:</b> Challenges of SSD in the Process Shrinking World <b>Speaker:</b> KH Han, Samsung
<b>4:00PM</b>	<b>Presentation #11</b> <b>Title:</b> Challenges of Testing UFS and Mobile Memories <b>Speaker:</b> Cecil Ho, CST

\*Program, speakers and topics subject to change without notice.



工業技術研究院  
Industrial Technology  
Research Institute

# e- Manufacturing & Design Collaboration Symposium 2011

## — A Joint Symposium with ISSM 2011

September 5-6, 2011

Ambassador Hotel Hsinchu (新竹國賓大飯店)

### Keynote Speakers

Dr. Mark Liu, Senior Vice President of Operations, tsmc

Mr. Yukio Sakamoto, President and CEO, Elpida Memory, Inc.

Call for  
Papers

### Call for Papers

Online abstract submission is open now, submission due date is June 1, 2011

更多即時訊息請參閱活動網站

<http://www.tsia.org.tw/Seminar/eManufacturing/2011/>

**Organizers:** TSIA, SEMI

**Co-organizers:** CIAE, GSA, SME, TPVIA, TTLA

### Conference Secretariat

Ms. Celia Shih Tel: +886-3-5917092 Fax: +886-3-5820056 E-mail: [celia@tsia.org.tw](mailto:celia@tsia.org.tw)

eMEXIO

苏州电博会再创黄金十年



綠  
淨  
製  
造



光  
伏  
應  
用



物  
聯  
應  
用



光  
電  
平  
顯

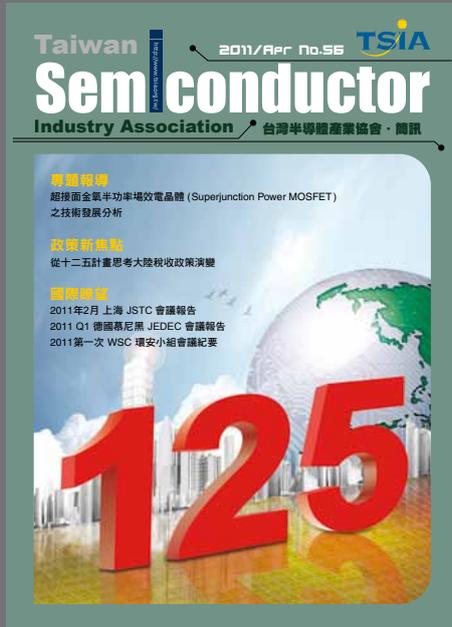
## 2011 TSIA 展覽預告

「eMEX 2011(2011/10/20~23)中國蘇州電子信息博覽會」開始徵展。

有關TSIA受理報名時間與費用優惠方案，請密切注意TSIA官網<http://www.tsia.org.tw>所發佈之最新消息。

展覽之詳細介紹，請參考eMEX活動官網 <http://www.goemex.com>

TSIA業務窗口 劉夢玲經理 | 電話: 03-591-3560 | Email: [ccliu@tsia.org.tw](mailto:ccliu@tsia.org.tw)



創刊日期：中華民國86年7月  
出版字號：新聞局版台省誌字1086號  
發行人：蔡力行  
總編輯：伍道沅  
執行編輯：劉夢玲  
發行所：台灣半導體產業協會  
地址：新竹縣竹東鎮中興路四段195號51館1246室  
網址：<http://www.tsia.org.tw/>  
電話：(03) 591-3560  
傳真：(03) 582-0056  
E-mail: [ccliu@tsia.org.tw](mailto:ccliu@tsia.org.tw)  
美術編輯：有囍廣告有限公司  
地址：新竹縣竹北市光明六路301之3號4F  
電話：(03) 558-6363  
傳真：(03) 558-6362  
電子書製作：龍環文化事業股份有限公司  
地址：新北市中和區建一路176號13F  
電話：(02) 8227-2268  
傳真：(02) 8227-1098

## 1 編者的話

### 專題報導

#### 2 超接面金氧半功率場效電晶體(Superjunction Power MOSFET)之技術發展分析

轉載自電力電子雙月刊民國100年第二期  
魏拯華<sup>1</sup>，李隆盛<sup>2</sup>，蔡銘進<sup>2</sup>  
1清雲科技大學 電子工程系  
2工業技術研究院 電子與光電研究所

### 政策新焦點

#### 7 從十二五計畫思考大陸稅收政策演變

鹿鳴

### 國際瞭望

#### 10 2011年2月上海 JSTC 會議報告

陳淑芬協理/ TSIA

#### 12 2011 Q1 德國慕尼黑 JEDEC 會議報告

劉坤旺總經理/點序科技  
侯建林經理/華邦電子

#### 17 2011第一次WSC環安小組會議紀要

呂慶慧資深研究員/工業技術研究院

### 會務報導

#### 20 TSIA第八屆理事長出爐

吳素敏資深經理/ TSIA

#### 21 TSIA 第八屆 第一次會員大會會議記錄

黃佳淑經理彙整/ TSIA

#### 23 TSIA會員聯誼晚會活動花絮

黃佳淑經理彙整/ TSIA

#### 25 TSIA委員會活動摘要

劉夢玲經理/ TSIA

#### 28 TSIA半導體培訓課程成果報導

江珮君/ TSIA

#### 29 新會員介紹

編輯部

### 遊憩人間

#### 30 大唐溫泉物語泡湯趣

老迪

本期「專題報導」單元，自電子電力雙月刊(民國100年第二期)轉載了由工研院電子與光電研究所 魏拯華/李隆盛/蔡銘進所發表之論文「超接面金氧半場效電晶體之技術發展分析( Superjunction Power MOSFET)」，作者希望可將其研究成果，供未來有意發展超接面元件之半導體公司參考。「政策新焦點」單元，刊載了「從大陸十二五計畫思考大陸稅收政策演變」，供TSIA會員對於現階段兩岸三地間的熱門話題有進一步了解。

「國際瞭望」單元內容則包括有：2011年2月上海JSTC會議報告、2011年Q1德國慕尼黑JEDEC會議報告與2011年第一次WSC環安小組會議紀要，TSIA在上述國際會議中皆帶回重要的國際半導體產業訊息，供會員公司參考與深思。

2011年TSIA會員大會暨會員聯誼晚會已於3月31日假新竹國賓大飯店舉行，並於會員大會中選出TSIA第八屆理監事。在會員聯誼晚會中，會員們彼此互動熱絡；且協會特別安排清大 榮譽講座教授-劉炯朗進行專題演講，題目為「Discovery, Invention, Innovation：3 Is a Nice Number」。劉教授幽默風趣且具深度的演講，相當受到歡迎，也令聯誼晚會現場增色不少。詳細之活動花絮，請參考「會務報導」單元。

2011年度TSIA半導體學院培訓班的課程將於6月份正式陸續開課，請會員把握此進修良機。

TSIA活動預告部份，6月22日將與 JEDEC合作，於新竹國賓大飯店舉辦「JEDEC Mobile Memory Forum」，7月1日亦將與安侯建業聯合會計師事務所假國立交通大學電資大樓第一會議室合辦「科技事業導入IFRS應用實務研討會」，更多活動詳情，請密切注意協會網站<http://www.tsia.org.tw>所發佈之訊息。

此外，TSIA將於9月5-6日，假新竹國賓大飯店舉行「e- Manufacturing& Design Collaboration Symposium 2011-A Joint Symposium with ISSM 2011」、10月20日至23日，eMEX 2011中國蘇州電子信息博覽會亦開始徵展，欲報名之業界朋友，歡迎隨時與本協會聯繫。

## Letters Welcome



- 1.本簡訊歡迎您的投稿，文章主題範疇包含國內外半導體相關產業技術、經營、市場趨勢等。內文(不包含圖表)以不超過四千字為原則，本刊保留刪改權，若有意見請特別聲明。
- 2.來稿歡迎以中文打字電腦檔投稿，請註明您的真實姓名、通訊處、聯絡電話及服務單位或公司，稿件一經採用，稿費從優。
- 3.本簡訊歡迎廠商刊登廣告，全彩每頁三萬元，半頁一萬八千元。**會員廠商五折優待。意者請洽:劉夢玲 03-591-3560或email至: [ccliu@tsia.org.tw](mailto:ccliu@tsia.org.tw)**

# 超接面金氧半功率場效電晶體 (Superjunction Power MOSFET) 之技術發展分析

轉載自電力電子雙月刊民國100年第二期  
魏拯華<sup>1</sup>，李隆盛<sup>2</sup>，蔡銘進<sup>2</sup>  
1清雲科技大學 電子工程系  
2工業技術研究院 電子與光電研究所

## 摘要

在現今突破矽基高功率元件的技術發展中，使用電荷平衡原理之超接面(Super Junction, SJ)技術可以在不減損崩潰電壓能力下大幅降低導通電阻，如此矽基元件特性便可以突破現有高壓金氧半場效電晶體之侷限。同時超接面元件是在現有矽元件製程中插入一小段與現有製程相容之製程，所以面臨的量產瓶頸低。在本論文中，我們將介紹超接面的基本原理以及數種文獻上發表之超接面結構作說明，同時說明各技術之優缺點，包含元件效能以及量產瓶頸。在分析的過程中，我們也發現應用深溝槽式(deep trench)技術所完成之超接面金氧半場效電晶體有機會達成高深度(30~40um)與高深寬比(AVR ratio >10)的技術特點，如此可以盡量發揮超接面之高崩潰耐壓、低導通阻抗之優點，大幅取代現有之各式高功率電晶體。

**關鍵字：**超接面技術、深溝槽技術、電荷平衡、高深寬比

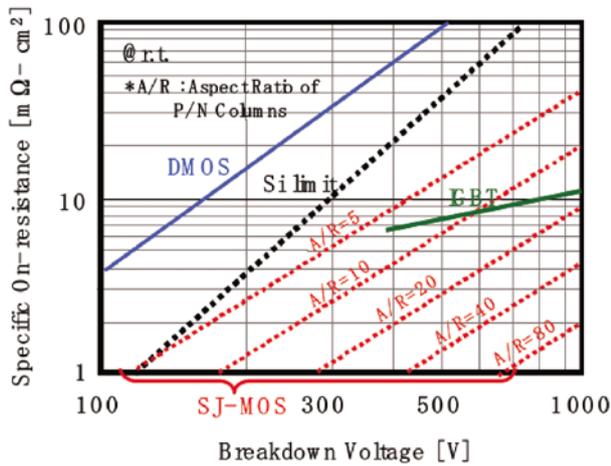
## 一、簡介

在矽基高功率半導體元件的開發歷程中，高崩潰電壓以及低導通電阻一直是列在各式開發計畫之最主要規格表中。但是受限於矽材料所能承受的崩潰電場強度，兩者通常無法兼得。以矽基功率金氧半場效電晶體(MOSFET)為例，在維持高崩潰電壓的規格下(如600V)元件的導通阻抗必會大幅上升，也就是研發人員所熟知的矽極限(Si-limit)。為了改善高導通阻抗問題，現今的主要作法是改用將元件架構變化成絕緣閘雙極性電晶體(IGBT)[1]，利用在順向偏壓條件下的載子注

入(charge injection)特性，在不降元件低崩潰電壓下大幅降低導通阻抗，提高導通電流。但是載子注入效應所帶來的低元件切換速度以及高切換損耗(switch loss)也限制IGBT的使用範圍。另一開發中的方向是選用高能帶溝(energy bandgap)半導體材料如氮化鎵(GaN)，碳化矽(SiC)才製作高功率元件 [2]，由於這些材料所能承受的崩潰電壓高，可以提高元件之摻雜濃度，藉以降低導通阻抗，將高功率半導體元件之規格極限由Si-limit外推至GaN-limit與SiC-limit。但是這些高能帶溝半導體的各項製程如基板尺寸(4 inch for SiC)、高溫退火(>攝氏1700度)、高溫植入等尚未完備，同時價格極高，要將其技術普遍使用於民生產品還有一段開發的路程。

在目前的Si power MOSFET中，同時能達成高崩潰電壓、低導通阻抗、高切換速度、可量產性等條件的產品只有使用超接面(Super Junction, SJ)概念的元件技術[3]-[4]。只要在現有MOSFET元件中加入超級接面結構就能夠在不減損崩潰電壓能力下大幅降低導通電阻，如此矽基元件特性便可以突破矽極限(如圖一)，創造出更大的應用範圍。由於超接面技術是在現有矽製程上所發展之技術，所以進入量產的階段所需的技術障礙低，因此多種超級接面結構便一一發表，新式Si SJ power MOSFET也蓬勃發展。

此論文中，我們首先介紹超接面的基本原理，其次是針對幾種超接面結構作說明，最後特別針對深溝槽式(deep trench) SJ power MOSFET之發展作進一步分析。

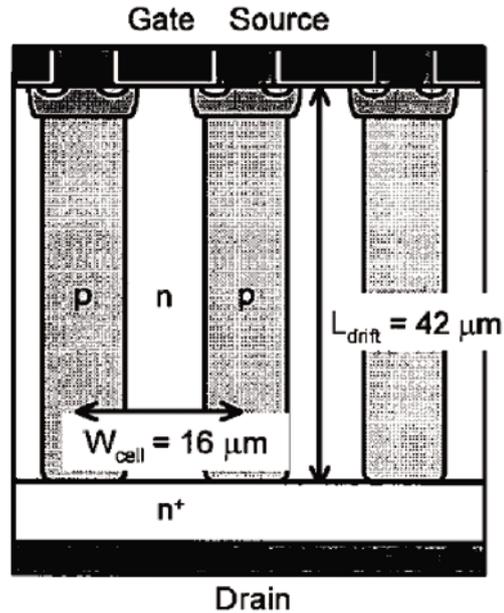


圖一：矽基半導體之導通阻抗與崩潰電壓關係圖。包含矽極限 (Si-limit) 界線、不同深寬比之 SJ MOSFET 理論極限 [4]。

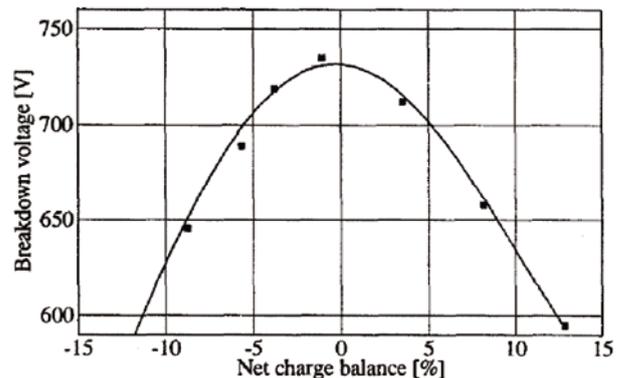
## 二、超接面(super junction)結構之原理介紹

在現有的 SJ power MOSFET 產品中，無論是 Infineon 的 CoolMOS，STMicroelectronics 的 FDmesh，Fairchild 的 SuperFET，其元件的核心超接面結構都是如圖二所顯示，大量的 p、n 型摻雜之柱狀連續結構排列在傳統 power MOSFET 的 drift 區內。在沒有 SJ 架構時，MOSFET 的反向耐壓能力是由 drift 區的空乏區來控制，空乏區的大小則由 drift 區的磊晶層厚度與摻雜濃度所決定。當元件耐壓增大時，drift 區的厚度增加與摻雜濃度降低，drift 區的材料阻值急速上升，如此就造成元件的導通電阻大幅增加。

當元件於 drift 加入 pn 柱狀結構 (p column, n column) 後，在元件反向偏壓時，drift 區內部的空乏區除了原有的垂直方向的 pn 界面外，水平方向的 pn 柱狀結構也會進入反向偏壓，於兩區交界處產生空乏區。隨著反向偏壓增加，水平方向的空乏區也會增大，最後在還沒有到元件額定耐壓值之前整個 pn 柱狀結構與 drift 區都完全進入空乏區。此時 MOSFET 導通電流的 drift 區可以視為一層無摻雜的本質半導體 (intrinsic, i-layer)，MOSFET 的垂直界就如同一個 pin 架構一般。如此等效 i-layer 由於低載子濃度，可以承受極高反向電壓，這就是超接面的工作原理。由超接面概念得知，只要 pn 柱狀結構可以在垂直方向發生崩潰現象前達到完全空乏條件，無論 p n column



圖二：SJ MOSFET 之剖面圖，在元件 drift 區中加入 p, n 排列之柱狀結構。[5]



圖三：SJ MOSFET 之崩潰電壓與 p、n 區之總電荷平衡值之關係圖。在 n、p 兩區總電荷相同時達到最高值。[3]

的濃度如何都不會影響耐壓特性。由圖二的示意圖看出元件的水平方向所需的空乏區寬度遠比垂直方向小，所以可以大幅提高摻雜濃度，如此可以降低元件在順向時的通道區 (n column) 材料電阻，整體 SJ MOSFET 的順向導通阻抗可以降低為傳統 power MOSFET 的 1/5~1/10。

在超接面結構中是要 pn 區都完全進入空乏區之後才有等效的 pin 結構出現，藉以支撐元件反向耐壓，所以 p, n columns 的摻雜條件將會嚴重影響到崩潰電壓值。經過模擬後發現 [3]，在 n column 內的總電荷值 = p column 內的總電荷值的條件下 SJ MOSFET 的反向崩潰耐壓最高，如圖三所顯示。此狀況稱為



電荷平衡，charge balance兩柱狀結構內的電荷可以彼此完美的對消。如果p column的寬度多一點、濃度高一點的話，此時drift區的總p type電荷較高，如此兩柱狀結構對消後在drift內還留有p type載子，此時剩餘的p type載子位在垂直方向產生額外電場，元件導通區的等效結構就變成p (p-) n結構，而非完美的pin結構。反之如果n column的電荷多，等效結構就成為p (n-)n結構。所以超接面結構的製程參數(process window)就必須訂的非常嚴，這對於半導體廠量產時會造成很大的技術挑戰。

### 三、數種超接面結構之介紹

當超接面技術被驗證可以突破Si-limit、降低power MOSFET的導通電阻之後，各種完成超接面之pn柱狀結構的製程便一一被提出。例如多次磊晶+離子植入製程法[3]、深溝槽(deep trench)+斜角離子植入技術[6]、深溝槽+磊晶回填技術[7]、多次超高能量植入技術[8]、以及MOS結構空乏區取代pn接面空乏區之技術[9]等。在經過考量個中技術之可行性以及效能後，目前主要的發展方向可以分為下面兩種：

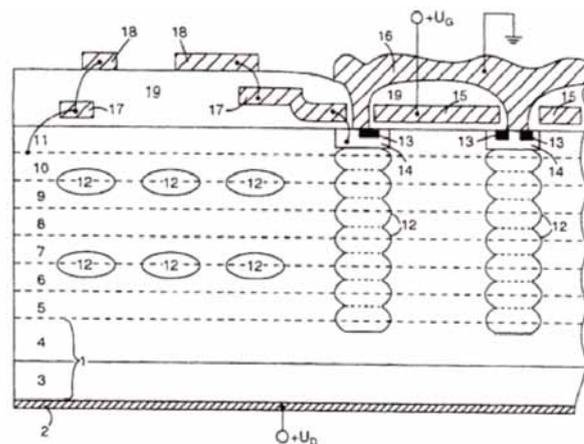
#### 多次磊晶+離子植入法：

是以多次p n層磊晶加上多次植入製程，藉以建構出pn柱狀結構。此技術之瓶頸是在多次磊晶的控制以及適當之植入、熱處理製程之調配。同時由於有多此磊晶、植入、退火等過程，所完成的pn柱狀結構容易出現如竹節狀結構，這特徵也被Infineon公司寫入該公司之專利示意圖[10]，如圖四。本技術發展較久，目前之SJ MOSFET主要是以本技術來進行量產元件。

#### 深溝槽+磊晶回填法：

是以一次深溝槽製程，在n型磊晶層中來完成p型區塊之定義，接著以單次、低厚度(1~2um)的p型磊晶填入溝槽內部完成pn結構。

上述兩種方式中，目前研究的主流為深溝槽式製程為多，主要是因為在半導體製程中，多層、高厚度(40um)磊晶通常所需成本較高，同時由於有複雜之熱



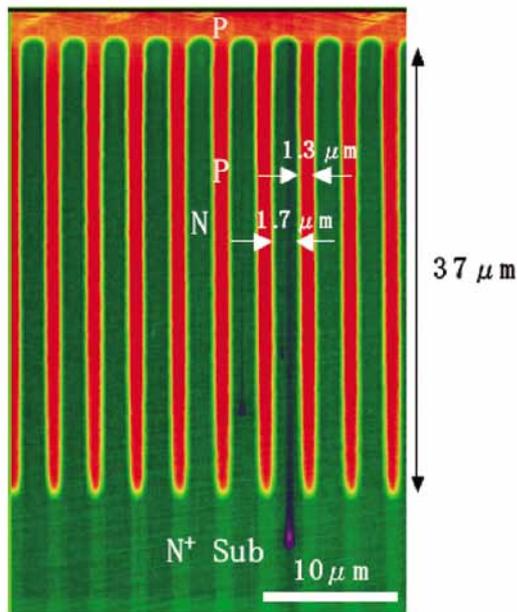
圖四：Infineon公司於美國專利6274904所列之SJ MOSFET結構圖，柱狀結構(12)呈現出竹節狀[10]

處理製程，p n 區塊的 dopant out diffusion將是製程參數的重點。所以這就顯示出深溝槽式SJ MOSFET的優點，其製程所需之磊晶次數少、厚度薄，同時p n 區塊是以trench製程定義出，pn柱狀結構的交界面會更接近理想條件。但是其製程困難度是在深溝槽製程，以耐壓600V元件為例，其溝槽所需要的深度達到30~40um、深寬比高達10:1 ~20:1，同時溝槽內壁需要適當的溝槽輪廓控制以便磊晶回填，這些溝槽參數會影響到元件耐壓特性。因此如何開發出合乎理想的深溝槽製程將是此方法之關鍵製程。

雖然深溝槽式技術有很大的技術挑戰，但是在SJ MOSFET中，高深寬比(A/R)之pn columns可以大幅降低元件之導通阻抗R<sub>ds(on)</sub>，提高輸出電流。如圖一所示，對於600V元件來說當A/R > 10時元件之導通阻抗可以低於6 mΩ-cm<sup>2</sup>；當A/R =20時導通阻抗可以阻抗可以低到3 mΩ-cm<sup>2</sup>。如果以多次磊晶製程來製作元件時，由於製程之thermal budget高，有dopant outdiffusion的問題以及dopant profile控制不易。因此元件的A/R大多在6~7之間，元件導通阻抗約在10~15 mΩ-cm<sup>2</sup>，同時未來發展度有限。

### 四、深溝槽加磊晶回填(deep trench + epi refilled)式超接面技術分析

在前一段提到深溝槽式超接面技術可以達成高深寬比、更大幅超越Si-limit，例如J. Sakakibara在2008年ISPSD會議上發表可以作出深寬比=23的深溝槽

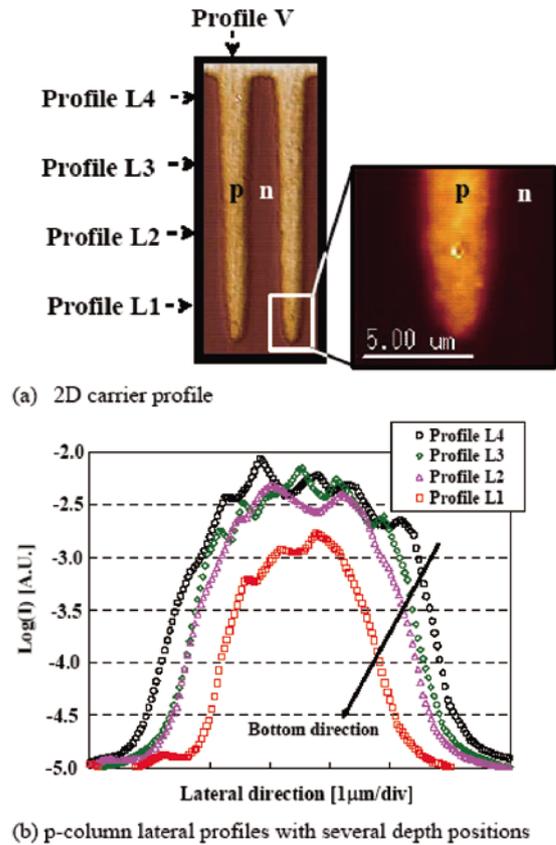


圖五：以深溝槽式製程作出之超高深寬比溝槽，A/R = 25 [4]

[4]，其溝槽側壁輪廓如圖五。但是仔細觀察溝槽，發現底部5~10%的區塊呈現出尖椎狀，已與一般超界面元件在模擬時的柱狀結構不同，這部分可能會造成超界面條件或電荷平衡條件在底端被破壞，降低元件的崩潰耐壓特性。這問題不會出現在以多次磊晶+植入法製作之超界面，所以雖然磊晶+植入法的成本高、深寬比不高，但是仍成為現在的主流量產技術。

為了製作出同步維持高深寬比以及良好溝槽輪廓的深溝槽技術，相關的研究也有所突破，其中Toshiba公司在2009年ISPSD會議上發表一篇相關論文[11]。該論文中利用獨特的高解析度表面展阻量測顯微鏡(Scanning Spread Resistance Microscope, SSRM)技術，量測做完深溝槽+磊晶回填後的溝槽輪廓以及填入的p型磊晶的導電度分佈狀況。以SSRM量測數據進行製程調整，將p型柱狀結構做成與超界面所需的理想結構相同，藉以提高元件的耐壓特性。此結果再次驗證超界面的電荷平衡與輪廓控制是重要的關鍵，接下來就針對此重要結果作進一步的探討。

圖六是最佳化之前的元件以SSRM分析之剖面輪廓以及溝槽內部p型半導體的橫向&縱向濃度分佈圖。首先由(a)的輪廓發現溝槽底部的內縮狀況，呈現出尖椎狀，同時溝槽內部磊晶層還有空洞出現。此外觀察p型柱狀結構的垂直方向載子濃度變化，發現底部(圖



圖六：以標準製程完成深溝槽+磊晶回填製程後，利用SSRM技術量測到深溝槽內之(a)溝槽輪廓以及(b)填入之p型半導體導電度分佈圖，結果都與模擬之理想圖形相差甚遠。[11]

六b的profile L1)的載子濃度遠低於上端(profile L1~L3)。這樣p型柱的底端不但p型材料區比較細、載子濃度也比較低，總和之總電荷(net charge)更低。如此就無法與n型柱達成電荷平衡的狀況，造成底端所能承受的電壓較低，最後所完成之元件崩潰耐壓低於600V(元件設計值為>600V)。

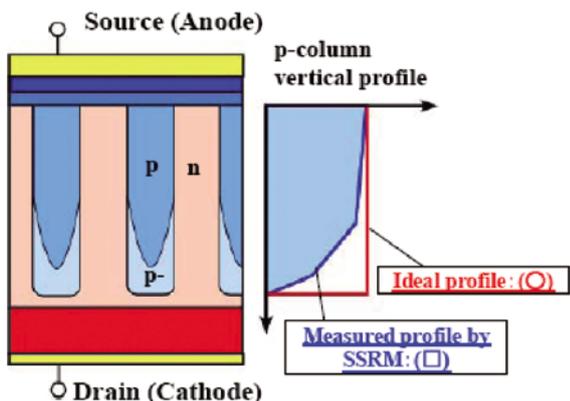
為了確認是溝槽底部的總電荷(輪廓與低濃度)不足造成崩潰耐壓偏低，該研究團隊就以非最佳化所量到的溝槽輪廓、濃度分佈作為模擬的超界面元件架構(圖七a之measured profile by SSRM)，與理想之超界面元件(圖七a之ideal profile)一起進行模擬。結果如圖七(b)所顯示，非理想之元件的實驗與模擬結果十分吻合，都是崩潰耐壓低於600V，與理想超界面元件之崩潰耐壓接近700V相差甚遠。此外，由圖七(b)也發現當p型區的濃度變化時，由於電荷不平衡會造成元件的崩潰耐壓降低。但是由模擬結果得到在理想元件中下降的幅度遠低於非最佳化元件。

由圖七結果發現，深溝槽+磊晶回填式超界面元件需要再做進一步的製程最佳化後才能真正發揮超界面之效果。因此該論文之研究團隊藉由SSRM技術將深溝槽蝕刻以及p型磊晶回填製程做最佳化。結果元件特性如圖八所顯示，最佳化之超界面元件崩潰耐壓特性與ideal profile的模擬值幾乎重疊。這顯示關於超界面元件之特性可以精確地由模擬技術來估算，只要相關的製程能配合，做出與模擬架構相近之pn柱狀結構。

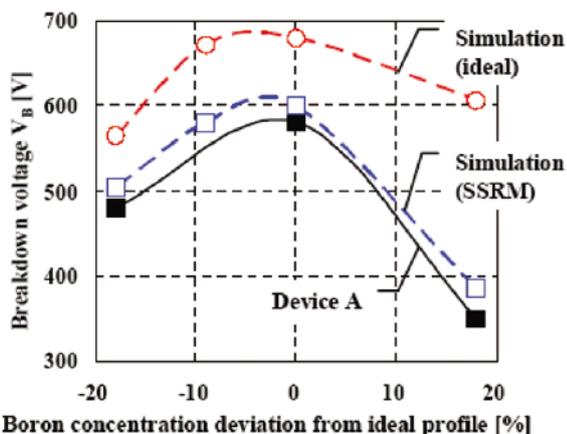
### 五、結論

本文章中我們針對超界面(SJ)元件做技術之介紹與分析，從相關論文中得知超界面元件可以大幅拓展power MOSFET的應用範圍，可以將被IGBT所搶去的市

場再度奪取回來。但是要能100%發揮超界面元件的優異能力時，元件drift區中實際完成的pn柱狀結構精確度將會嚴重影響元件的反向崩潰耐壓特性。這也造成超界面MOSFET的相關論文、專利極多，但是現今以進行量產的公司有限。最後由發揮超界面的特性觀點看來，可以達成高深度(30~40um)高深寬比(A/R ratio >10)的深溝槽技術將是未來超界面元件的發展方向。

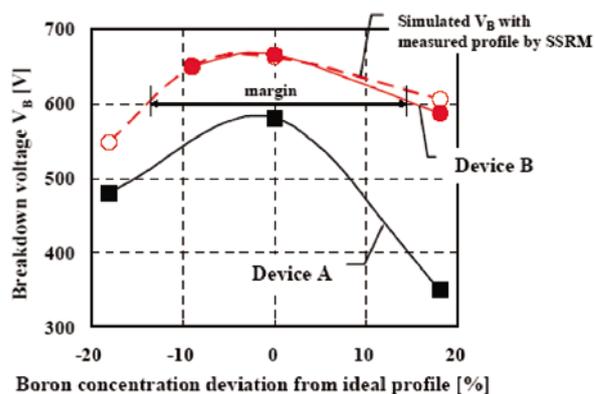


(a) p-column vertical profile



(b)  $V_B$  - charge imbalance

圖七：(a)依據圖六之SSRM結果所繪出之溝槽輪廓與理想pn柱狀結構剖面圖。(b)依照上面剖面圖所做之模擬結果以及圖六實際元件之崩潰電壓與p型區之濃度分佈關係圖。[11]



圖八：圖六之非最佳化元件(Device A)以及經過最佳化製程所做出之元件(Device B)特性圖。最佳化元件之測試結果與模擬吻合。[11]

### 參考文獻：

1. B. J. Baliga, IEEE Tran. ED, vol.33, pp1717-1732 (1996)
2. J. Milligan, S. Sheppard, W. Pribble, A. Ward and S. Wood, CS Mantech Conference, April 14-17, Chicago, U. S. A(2008).
3. G. Deboy et al, Proceedings of IEDM 1998, pp683-685 (1998)
4. J. Sakakibara et al, Proceedings of ISPSD 2008, pp299-302 (2008)
5. W. Saito et al, Proceedings of ISPSD 2004, pp459-462 (2004)
6. T. Minato et al, Proceedings of ISPSD 2000, pp73-76 (2000)
7. T. Kurosaki et al, Proceedings of ISPSD 2003, pp 211-215 (2003)
8. M. Rub et al, Proceedings of ISPSD 2004, pp455-458 (2004)
9. Y. C. Liang et al, IEEE Elec. Dev. Lett., vol. 22, pp407-409 (2001)
10. 美國專利 US 6274904
11. S. Ono et al, Proceedings of ISPSD 2009, pp303-306 (2009)

# 從十二五計畫思考 大陸稅收政策演變

鹿鳴

大陸於2010年10月18日公佈了十二五計畫，相對於2006年到2010年十一五時期的發展方針，可以明顯感受大陸想維持高度發展經濟的用心。回顧過去五年，對於努力走過金融風暴的各國來說，大陸雖也經歷過了內需減緩，外銷不振的窘境，更甚者還有各國對於人民幣升值的期待所帶來的壓力。隨著十二五的到來，對於資本與人才的重視已經正式宣告大陸經濟政策的下一步。從財政稅收角度而言，2008年是關鍵的一年，無論是直接稅或間接稅，在內外資稅收待遇逐步靠攏後，接下來就是調整租稅鼓勵政策，將目標放在高資本運用效益及發展高階人才。如此一來，才能讓中國在持續增進硬實力的同時，也能兼顧發展軟實力。

以與各企業直接相關的所得稅來說，從2008年起截至2010年止，所發佈(出台)各行政命令(通知)分析，不難發現大陸已經著手建立起與稅收相關的資訊連結工程，從關務的電子手冊推行，乃至聯網監管；外匯核銷程序的改變；對於年收入超過12萬人民幣的個人自我申報的加強管理等等建立了稅收資料平台，並與企業所得稅的稅源資訊逐漸靠攏。就大陸外商企業而言，與過去相較，這幾年也漸漸感受稅務機關對於稅收的態度與關注的變化，由寬鬆趨向嚴謹。

就2009年所公佈(出台)的轉讓定價(移轉訂價)規

定，以及大陸於2009年及2010年所執行情形比較，轉讓定價的調查非僅僅純屬打雷，相關徵稅成果也非外界所預期搖搖旗幟或敲敲鑼鼓罷了。好消息是，仔細探究每個接受過名為轉讓定價調查的受查企業，不難發現，大陸稅務機關受限於轉讓定價技術性與查核思維與新法令的落差，讓多數案例實際上淪落為以租稅優惠適用期間正確與否等傳統查稅方式，自然核課結果與關聯交易(關係人交易)是否合乎常規交易結果之間難以畫上等號。

大陸轉讓定價法令位階提升首見於2008年，迄今不過短短三年，雖然稅收成果有限，然其核課技術門檻雖高，但因調整金額往往甚高，核課期間亦長達10年，加上帶有處罰性質的利息計徵，在進入十二五時期後，想當然耳應該成為大陸透過稅收手段達成財政目標的利器。

如同下棋時的思維，大陸政府深知執行轉讓定價查核實務難度亦較傳統查稅方式高出許多。過去的憑證主義所能收取的稅收遠遠少於轉讓定價所流失的稅基。然而在大陸決心要在既定十二五規劃前提下，所需銀彈絕不能輕易浪費與流失，而且加強查核力度與資訊平台的完善絕對是必要的的布局。大陸目前仍仰賴外匯所帶動的經濟成長，想要擴大稅收，外資企業是主要稅收來源，然而轉讓定價在外銷市場的查核環境下，因涉及境外交易亦可額外

提供大陸稅務機關新的稅源。其中對於關聯交易的定價合理性已經逐漸受到關注。

轉讓定價在許多跨國企業而言已經不算新鮮，唯一新鮮的卻是在大陸如何防禦與規劃。主要原因無非是相關查核技術及多角貿易於大陸的操作弊病使然，過去在集團財務資訊透明欠佳情形下，或許轉讓定價並無太多著力點，然而許多企業隨著事業版圖擴大，財務透明度亦相對甚高，將來轉讓定價查核所需的資訊亦自然充足許多，因應之道亦須及早規劃。

流轉稅的改革也透露出一些訊息，大陸的流轉稅目前以增值稅及營業稅稅基為主，透過改革稅制鼓勵企業自主創新，其中對於資本支出亦給予購置生產性設備連帶的進項稅金予以抵扣的改革；另對於服務外包的行為也給予營業稅上的優惠。從這幾年來相關流轉稅規定的變革觀察，不難理解的是過去的實體商品交易所產生的稅基已無太多稅收空間，取而代之的應是有著高獲利空間的技術性服務

貿易所生的稅基。隨著流轉稅的改革，隨之而來的也是轉讓定價的檢視。

轉讓定價與租稅協定之間是息息相關的，以中港租稅協定而言，香港的稅務指引進行新公佈的第四十六及第四十七號規定皆存在相同精神。香港屬於潛碟型市場，對於外來企業而言，過去以香港作為資金與交易利潤的轉換地，自然是最大的誘因。不過以目前香港法令的變化而言，稅務資訊揭露程度與中港兩地對於營運交易合理性的監管程度，將影響這些先前被視為具有隱性避稅港功能的保護傘，是否仍可如以往發揮資金與利潤安全的角色。然而其他第三地公司及新加坡等租稅協定，與中港租稅協定亦有相似的影響。

從經濟發展的角度來說，大陸的十二五規劃宏觀的勾勒出未來軟實力的方向。然而從轉讓定價的稅收布局與實務的發展，不難發現只是一個開始，未來全面推動稅收公平與擴大稅基才是主要目標。

# 「科技事業導入IFRS應用實務」研討會

有鑒於上市櫃公司將陸續於2013年採用國際財務報導準則(IFRS)，如何評估IFRS轉換對高科技產業常見議題造成的影響，已成為園區企業治理最熱門的議題。以高科技產業的特性而言，通常會有跨國經營的組織架構，不難發現高科技產業在不同國家有著不同財務報導準則之遵循適用。隨著IFRS的採用，這些遵循所產生之額外成本將有機會可以降低，惟高科技產業是否能從這波IFRS導入的過程中獲得對企業更具洞察的企業改造，則在分析會計準則差異的同時，應將相關報表編製與揭露要求一併納入思考。

由於IFRS採取原則性規範(Principle Based)與過往我國原用之強制性規範(Rule Based)會計準則不同，所以企業準備進行IFRS轉換的工作時，一方面要仰賴會計師的諮詢評估服務外，一方面企業也會發現，財務報表內容中出現諸多因應原則性規範所做的額外揭露要求，不僅僅要將公司擇定的會計政策詳實揭露出來，更須額外編製許多與「公平價值」有關的補充資訊，以及部分重要的資產負債科目的期間變動表，並將之完整揭露於報表附註之中，該等附註揭露將須要公司受過IFRS專業訓練之財務會計人員積極投入，除了須花時間以完成會計政策之溝通與擇定，另需要會計部門集結海內外子公司會計資訊，以進行額外資料篩選或資料報表產出，來配合IFRS遵行的推動。故及早進行IFRS轉換的財報揭露影響評估，除可以讓公司瞭解IFRS對企業集團中各聯屬公司的影響外，更可在不同的解決方案中選擇最適合公司的方案，並且有充裕時間進行後續的報表編製流程規劃及系統建置等工作，科技公司管理階層主動瞭解與積極因應更是成功進行IFRS轉換的關鍵。

以下提供高科技產業較常遇見之部分準則差異，佐以國外科技公司之財報實務案例介紹，希望透過主題式重點考量及實務案例的解說，提昇與會者於導入IFRS過程中，對未來潛在重大財報揭露影響之評估能力，以協助企業建立可能因應措施之策略。

**主辦單位：**中華民國台灣半導體產業協會(TSIA)

**協辦單位：**安侯建業聯合會計師事務所(KPMG)

**日期：**100年7月1日(星期五) 13:30pm-17:00pm

**地點：**交通大學電子資訊大樓第一會議室(新竹市大學路1001號)

**費用：**TSIA會員，不限名額且免費參加；非會員費用：NTD1,000元整/人

**聯絡人：**劉夢玲經理，Tel：03-591-3560，FAX：03-582-0056，e-mail:ccliu@tsia.org.tw

**備註1：**一律採網路線上報名方式，請參考協會網站(<http://www.tsia.org.tw>)消息。

**備註2：**交大停車費@NT\$30/小時，請與會者自行吸收。

**備註3：**場地座位有限(90名)，請儘早報名，以確保您的權益。

## Agenda

Time	Topic
13:30~14:00	Registration
14:00~14:05	Opening: TSIA財委會主委-- 鈺創科技 高正興財務長/副總經理
14:05~15:35	科技事業導入IFRS應用實務(上)- 收入、或有負債、所得稅之不確定性義務 安侯建業聯合會計師事務所 黃海寧 執業會計師
15:35~15:50	Tea Break
15:50~16:50	科技事業導入IFRS應用實務(下)- 研發支出、股份基礎給付/離職給付 安侯建業聯合會計師事務所 黃海寧執業會計師
16:50~17:00	Q & A

※主辦單位得視情況保留變動講師、講題、議程、時間、場地之權利

# 2011年2月 上海 JSTC 會議報告

陳淑芬協理/TSIA



本會JSTC代表團合影，左起為本會秘書處陳淑芬協理、本會法律顧問 Christopher Corr、本會伍道沅執行長、台積電左大川資深副總(JSTC Chair)、瑞昱半導體黃依璋副總、台積電許芳銘副處長及本會秘書處石英堂資深經理

2011年2月JSTC會議於2月22-25日假中國上海千禧海鷗大酒店(Millennium Hotel)舉行，由中國半導體產業協會(CSIA)主辦，並由該會JSTC主席魏少軍主持，與會者包括來自台灣、日本、韓國、歐盟、及美國之業界及協會代表。台灣半導體產業協會(TSIA)由台積電左大川資深副總經理(本會JSTC主席)率團，成員包括本會伍道沅執行長、瑞昱半導體黃依璋副總(IP)、台積電許芳銘副處長(ESH)、工研院呂慶慧資深研究員、法律顧問Christopher Corr、秘書處陳淑芬協理及石英堂資深經理。

相關討論及決議摘要如下：

## 1. MCO (Multi- Component ICs)：

- 由美國半導體協會(SIA)與CSIA共同發起之MCO技術專家會議，於2月22日下午召開，所有WSC會員均派員與會，本會由瑞昱黃依璋副總及秘書處陳淑芬協理代表參加。此次會議主要目的在向CSIA代表說明MCO產品技術、定義範圍、及發展趨勢等，期望CSIA代表向中國GAMS代表進一步說明，以利GAMS成員間針對MCO定義之討論。
- MCO工作小組會議則於2月23日召開，針對GAMS

1月底在Washington DC非正式會議中之MCO定義最新版本進行討論。由於中國政府並未派員參與會議，CSIA表示無法評論MCO定義之最新版本，最後會中無法達成一致之JSTC意見以回覆GAMS。因此，工作小組決議，由各協會各自向各國GAMS代表提交對MCO最新定義之意見，並在確定GAMS已將MCO定義正式送達中國海關後，CSIA再表示意見。

- JSTC會議決議，草擬致GAMS感謝函，表達JSTC對GAMS努力之感謝。

## 2.IP：

專案小組(TF)會議於2月23日召開，本會由瑞昱半導體黃依璋副總及法律顧問Christopher Corr代表參加，重點如下：

### • 改善專利品質：

JSTC 2010年9月致世界專利組織(WIPO)改善專利品質之建議，WIPO已回覆並表示感謝。本會提議各協會與各自專利主管機關持續對話、適時更新改善專利品質之建議內容並與專利主管機關分

享，因此在九月前，本會將提醒所有WSC會員更新改善專利品質建議之表格。WSC會員也同意將SIA分享之US quality matrix與各自專利主管機關及會員分享。

#### • 反仿冒：

各地區的反仿冒努力仍持續進行中；歐洲半導體協會(ESIA)再次強調廠商向各國海關登記商標之重要性；而如何辦好2011年GAMS會議及第二次海關專家反仿冒會議，則為美國半導體協會(SIA)目前努力的焦點。

#### • NPEs：

各協會間對此議題無法達成共識，美國進一步要求停止此議題之討論，惟韓國仍將委託第三單位進行相關研究，並於5月份會議中分享結果。

### 3.環安衛：

#### • PFOS:

PFOS自願減量目標已達成。與2005年相較，PFOS使用量減少82%，排放量降低99%，工作小組工作也告一段落。

#### • Energy Savings:

工作小組持續與SEMI討論，目前正等待SEMI的意見。Post-2010減量目標預期在2012年2月通過，並於同年5月提交WSC。

#### • PFC:

所有WSC會員均達成2010年自願性減量目標，對2010-2020減量目標-30% (NER)也取得共識。

#### • Chemicals Management:

所有協會同意成立Chemicals Management工作小組，討論半導體產業所面臨的相關挑戰。

### 4.加密認證相關法規：

JSTC將持續檢視各地區加密認證相關之立法，至

於何謂加密認證相關之國際標準及慣例，各協會同意於4月前檢視ESIA草擬之文字，或提出其他提案，並據此研擬額外之解釋文字，以補充說明2010 WSC聯合聲明中之相關文字。

### 5.振興經濟方案：

此議題由SIA主導並建議討論之方向，包括列出合理之政府補助、不符合GAMS及WSC精神之紓困方案、涵蓋的紓困產品(從DRAM開始)、及探討如何處理針對記憶體及非記憶體公司之紓困方案等。針對其他協會的質疑，包括SIA針對此議題欲達成何種協議、為何SIA認為現行的WTO規範不足、及SIA期望各協會收集哪些資訊等，SIA需於3月31日之前釐清。

### 6.WSC 2.0：

對於如何簡化WSC聯合聲明及對GAMS之建議，JSIA身為五月WSC會議之主辦協會，將率先試辦之。

### 7.進出口管制：

由CSIA主導之會前會於2月23日召開，是否為此議題成立一工作小組，各協會尚未有共識。針對CSIA簡報中列出建議之討論範疇並提供既有之案例，各協會同意於4月底前回覆意見，再由CSIA彙整意見後，於下次會議中討論。

### 8.Conflict Minerals:

SIA簡報有關"Conflict Minerals"相關立法，並認為相關立法將影響半導體產業、客戶、及整個供應鏈。Conflict Minerals相關立法(例如美國SEC〈Securities and Exchange Commission〉正研擬之法規)主要要求廠商提交報告，說明其產品材料是否含有來自剛果共和國(DRC)之礦物。據說有些國家也在考慮相關立法，WSC或可討論出一致的立場適時回應。各協會將審慎考量，於5月會議時討論是否研擬WSC之一致立場。

# 2011 Q1 德國慕尼黑 JEDEC 會議報告

劉坤旺總經理/點序科技  
侯建杖經理/華邦電子

**JEDEC** (聯合電子裝置工程協會) 是全球電子半導體工程標準化組織，負責制定最新最前瞻性的電子產品標準規格，其會員含全球超過數百家的電子半導體廠商，為當前最具影響力的標準化組織之一。JEDEC 記憶體規格制定會議係每季召開一次之例行性會議，會議之進行主要針對未來新規格提案討論與確認，以作為業界之標準規格。

今年 JEDEC Q1 會議於 2/28 至 3/4 假德國慕尼黑 Hilton Hotel 舉行，JEDEC Q1 會議包括 JC-16, 40, 42, 45, 63, 64 meetings 等相關記憶體標準介面規格之制定會議。另 JC64.1 的 UFS TG 與 eMMC TG 並於 2/22 至 2/26 間，提早一個禮拜舉行工作小組會前會。其中 eMMC 工作小組更於週六開了一整日會議，為了是要確保 eMMC 4.5 能夠準時於六月發表，由此可見國際大廠對 eMMC 4.5 的期盼。JEDEC 國際標準制定會議，有來自美、日、歐、韓等國家之相關廠商蒞會，包括 Intel、AMD、IBM、Samsung、Qualcomm、Agilent、Apple、Denali、FormFactor、Google、HP、Kingston、Micron、SanDisk、Silicon Image、Sun Microsystems、Texas Instruments 等一線大廠技術人員蒞會參與。

本次 JEDEC 會議之及規格制定成果如下：

規格	委員會
靜態記憶體規格 (TSV and PSRAM)	JC 42.2
低功率記憶體規格 (Low Power Memory)(Wide IO, LPDDR2/ LPDDR3)	JC 42.6
動態記憶體規格 (DRAM Memory/ DDR3/DDR4)	JC 42.3
非揮發性記憶體規格 (Non-Volatile Memories)	JC42.4
動態記憶體模組規格 (Memory Modules)	JC45

規格	委員會
多重晶片封裝規格 (Multi Chip Package –MCP)	JC 63
記憶體應用系統規格 (eMMC, UFS, SSD)	JC 64
邏輯電路規格	JC 40
介面電氣規格	JC 16

本會期 JEDEC Meeting 的重要議題摘要報告如下：

## JEDEC Organization

- JC-16 - Interfaces Technology(SSTL1.8, SSTL1.5, etc.)
- JC-40 - Digital Logic
- JC-40.1- Digital Logic Families and Applications
- JC-40.3 - Registered Memory Module Support Logic ( Registers, PLL, etc.)
- JC-40.4 - Fully Buffered Memory Module Support Logic ( AMB, BoB, etc.)
- JC-40.5 - Logic Verification and Validation
- JC-42- Memory
- JC-42.2 - SRAM ( General TSV Topics)
- JC-42.4 - NonVolatile Memory ( Flash etc.)
- JC-42.3 - DRAM (DDR2, DDR3, Future DRAM TG, etc.)
- JC-42.3B - Functions and Features



JC-42.3C - Timing and Parametrics  
 JC-42.3D - Pinouts  
 JC-42.6 - Low Power Memory  
 JC-45 - Memory Cards and Modules  
 JC-45.1 - Registered Modules ( RDIMM)  
 JC-45.2 - Unbuffered Modules ( UDIMM)  
 JC-45.3 - Small Outline Modules ( SODIMM, MiniDIMM, etc.)  
 JC-45.4 - Fully Buffered Modules ( FBDIMM)  
 JC-45.5 - Connector Electrical Specifications  
 JC-63 - Multi-Chip Packages ( MCP)  
 JC-64 - ( Non-Volatile) Flash Cards and Modules  
 JC-64.1 - Electrical Specifications  
 JC-64.2 - Mechanical Specifications  
 JC-64.3 - Host Controllers  
 JC-64.8 - Solid State Drives (SSD)

## JC 42.2-PSRAM2 and TSV (TSV 矽穿孔構裝技術)

PSRAM2 (1.8V, x32, ADMUX bus) 虛擬式態記憶體規格，已於2010年制定完成。本次JC42.4 進行中之議題集中於具矽穿孔陣列(TSV)技術，討論具結構化的Tile Memory Unit (unit area:750um x 750um)。TSV記憶體旨在訂定具有標準化之矽穿孔排列，以方便供系統整合使用記憶體，主要應用於在系統封裝( SiP-System in Package)整合應用。

## JC-42.4 NVM (NAND)

### 1. ONFI- JEDEC Joint Task Group

JC42.4中負責制定未來NAND Flash的規格部份，主要由ONFI(Open NAND Flash Interface)與JEDEC共同組成的ONFI- JEDEC Joint Task Group ( JTG ) 來負責。目前在JTG主要討論的議題為200MT/ s與400MT/ s的規格，所以在每個會議中，都會分成200MT/ s與400MT/ s兩個sessions。

在Q2中，200MT/ s session主要目標議題有Behavior Flow Diagram與完成200MT/ s的規格制定。

至於400MT/ s session則會開始討論所需的NAND interface parameters。

### 2. Serial Flash Discoverable Task Group (SFD TG)

SFDP主要負責制定串列Flash Discoverable的規格，the first showing是在2010年6月多倫多會議中發表，the 2nd showing則是在2010年12月舊金山會議發表，這個TG將持續活動直到董事會通過提案。主要參與的公司有旺宏、華邦、Intel、Micron、Microchip等公司。

## JC-42.6 LPDDR3/ LPDDR2, LPDMM and Wide I/ O

### 1. LPDDR3, LPDDR2/ LPDDR2- NVM

本次JC42.6熱烈討論最新LPDDR3。LPDDR3主要承襲LPDDR2，單一BUS能以同時提供DRAM與Flash使用，LPDDR3主要提昇Mobile DRAM之Density與速度。Key Specification 如下：

Speed: LPDDR3-400/800/1066/1600 Mbps

Density : LPDDR3: 4GbMb-32Gb(x16/x32)

Voltage ( same as LPDDR2): VDD1 :1.8V ; VDD2 :1.2V

VDDCA:1.2V ; VDDQ1.2V ( HSUL\_12)

惟部份細節仍待確立，預計2011Q3可訂定初稿。

### 2. LPDMM

新世代記憶體為高速省電並減少Pin- count降低及EMI干擾，考慮由Parallel界面轉向Serial界面，有廠商提案整合Serial Port Memory Technology (SPMT) 及LPDDR2之 LPDMMM技術，細節仍待確立。Key Specification如下：

Bandwidth: 6.4GB/s -8.5GB/s(x16) ; 12.8GB/s -17GB/s (x32)

Density : 1Gb-32Gb

### 3. Wide I/O

JC42.6進行中之議題亦熱烈討論最新WideIO (Wide Input/ Output for mobile application)

主要提昇DRAM Density與速度。Key Specification

如下：

Clock Speed: 200MHz (採用 LPDDR timing方式)

I/O:(DQ x128/ per- channel)x 4 Channel

Density : 1Gb-32Gb

Voltage ( same as LPDDR2): VDD1 :1.8V ; VDD2 :1.2V ;

VDDQ1.2V ( HSUL\_12)

惟部份細節如仍待確立，預計2011Q3可訂定初稿。

### JC42.3 DRAM (Commodity DRAM)

#### 1.DDR3 SDRAM

DDR3規格(JESD79.3E)主要更新DDR3-1333/1600。新增DDR3L(1.35V for DDR3L-800/1066/1333/1600)與DDR3U(1.25V for DDR3U)等相關規格。持續制定DDR3-2133, DDR3x32, DDR3L 1.35V, DDR3U 1.25V。此外，亦熱烈討論3D-stack DDR3，該規格可概括2,4,8 memory unit in stack，預期可改善目前DIMM使用瓶頸。

#### 2.DDR4 SDRAM (Future DRAM)

下一世代之DDR4( Speed:2.4Gbps-3.2Gbps; Density: 2Gb to 16Gb)規格主要針對高速省電兩大需求。DDR4規格亦考慮3D stacking及 DDR4L。DDR4採用1.2V工作電壓，DDR4L 則採用1.0V工作電壓。DDR4雖已有規格初稿，惟細節仍在討論中。有關狀態控制、輸出入信號、ODT控制、省電模式、配置暫存器 MR ( Mode Register )、 Read/ Write CRC- Check檢驗功能、動態電壓頻率調整、部份記憶單元更新、溫控自動更新等細節仍在研議中。

#### 3.GDDR5

GDDR5主要規格針對8Gb定址規格及4Gb封裝信號配置。CK/WCK DQ之Jitter issue已通過完成。nVidia提案成立High speed wide-IO TG 以研究後GDDR5時代的頻寬需求。

### JC42.5 (DIMM Module)

JC42.5主要皆針對DDR3之UDIMM/ SODIMM/ RDIMM/ FBDIMM力求改善。已有廠商提案DDR4 SODIMM及LRDIMM Routing Proposal。

### JC63 (Package)

多重晶片封裝(MCP)規格：

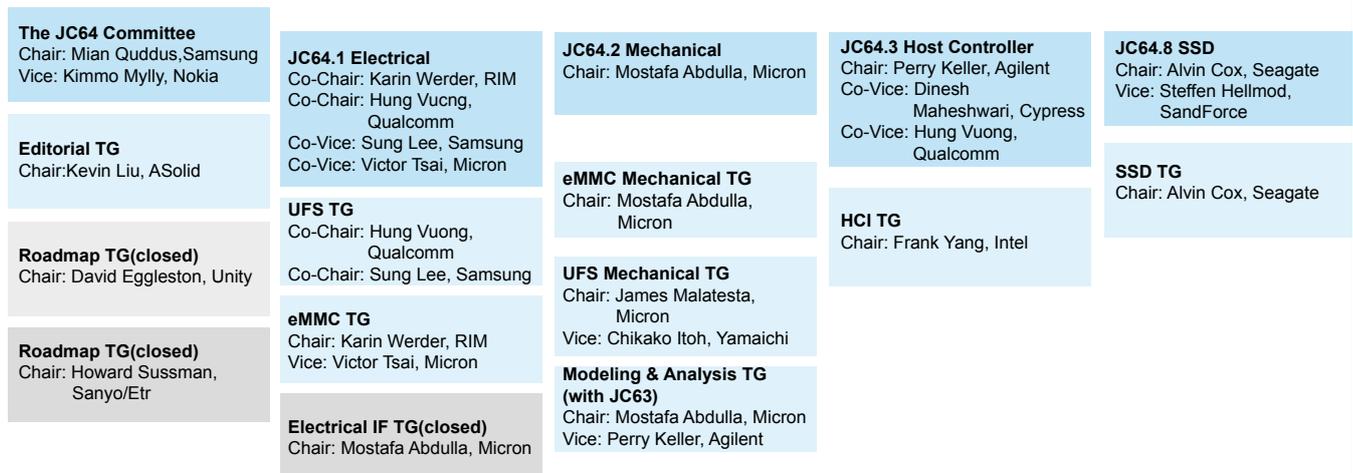
本次MCP議程 Samsung 提案對Combo MCP(即原為162 ball FBGA之 LPDDR2+ eMMC/ NAND)封裝規格增加24 ball dummy ball，成為186 ball FBGA。Qualcomm 提案對 Dual-LPDDR2訂定220 ball PoP。

### JC-64 Flash Card and Module

JC64 Committee主要是制訂非揮發性記憶體模組相關的規格，其中包含內嵌式與可攜式卡片的電性介面、傳輸協定、機構及應用控制端之規格以及品質、可靠性、耐久性的規範。由於NAND型快閃記憶體的應用越來越廣，目前多種應用如電腦、數位相機、隨身聽、衛星導航、手機、個人行動助理、電子字典、學習機及遊戲機等都使用NAND型快閃記憶體作為系統開機與儲存，因此JC64所訂定的規格幾乎是為了NAND型快閃記憶體量身訂作。JC64主要討論的議題有embedded MultiMedia Card (eMMC)、Universal Flash Storage (UFS)及Solid State Drive (SSD)。目前JC64的組織架構有JC64.1 Electrical、JC64.2 Mechanical、JC64.3 Host Controller以及JC64.8 SSD。JC64.1設有eMMC Task Group與UFS Task Group，分別制訂eMMC與UFS電性介面及傳輸協定之規格。JC64.2 Mechanical主要制定eMMC與UFS的機構、外型及品質、可靠性、耐久性的適用環境規範。JC64.3則是制訂Host控制端包含暫存器設定、直接記憶體存取、中斷控制等與驅動程式之相關規格，委員會以下設置UFS Transport Task Group。

由於過去一段時間，多數會務運作接在子委員(sub-committee)會中運作，委員會主席決定將部份委員會層級的工作小組(Task Group)關閉，如

## JC64 Committee Structure



Compliance TG與Roadmap TG已經關閉，只保留了Editorial TG。新的組織圖如上圖：

### 2. JC64.1

目前委員會正在進行的主要議題為eMMC4.5以及UFS1.1。繼2010年Q1 JEDEC發表eMMC 4.41標準，預計今年六月會公布最新的eMMC4.5規格標準，參與委員會的主要公司皆有共識，eMMC4.5極可能為eMMC的最後一個版本。版本不再更動有助於業界的大量採用與普及化。

UFS1.0於2011年第一季公布後，擬將於eMMC4.5為未來應用所增加的規格加入UFS1.1。預計加入UFS1.1中的eMMC4.5規格包含Partition Attributes, Data Tag, Context ID, Packed Command, Real Time Clock, Large Sector Size, Device Cache, Device Classes 等等。

UFS被視為是可以取代所有非揮發性記憶體模組的新規格，UFS將有SSD的高效能加上eMMC的BGA封裝，將適用於各種可攜式電子產品。UFS的傳輸速度為3Gbps( UFS1.x)與6Gbps( UFS2.x)，並將導入 MIPI M-PHY以方便與未來手機的MIPI介面順利接軌。UFS最新更新的架構圖如下圖。

### 2. JC64.8

SSD( Solid State Device)規格提案主要涵蓋耐久性( Endurance)、工作負載( Workload)及機構等。目前主要討論議題為Client工作負載 ( Client Workload)並

於近期對Client工作負載提案進行表決投票。未來主要的議題為Form Factors、Device Statistics、Read Disturbance等。

### 結論:

1. 新式矽穿孔陣列( TSV)技術討論具結構化的Tile Memory Unit ( unit area:750um x 750um)，以方便供系統整合使用記憶體，主要應用於在系統封裝( SiP- System in Package)整合應用。
2. 在Mobile行動記憶體方面， LPDDR3主要承襲LPDDR2，主要提昇 DRAM Density 與速度。
3. 因應行動通訊的快速發展，Wide IO因應而生，預計2011 Q3將完成規格初稿訂制。
4. 新 DDR4( 2Gb， 4Gb， 8Gb， 16Gb)正發展中，針對高速省電兩大需求發展，唯因應高速引起之高頻效應，正致力於Signal Integrity的改進，規格仍於研議制定中。
5. 新DDR3已增訂DDR3L 1.35V介面以及DDR3U 1.25V，DDR3 x32 for 1Gb/ 2Gb/ 4Gb/ 8Gb。
6. 已有廠商(nVidia) 提案成立High Speed Wide- IO TG，以因應後GDDR5時代的頻寬需求，顯見系統對memory bandwidth有增無減。
7. JEDEC領導記憶體規格之演進，值得產業界廠商積極參與，以期即時掌握最新之記憶體產品規格。就發展趨勢而言，Wide- IO, LPDDR3具體揭示低電

壓高速( High Speed)與輕薄省電( Power- Saving)持續  
主導記憶體規格發展。

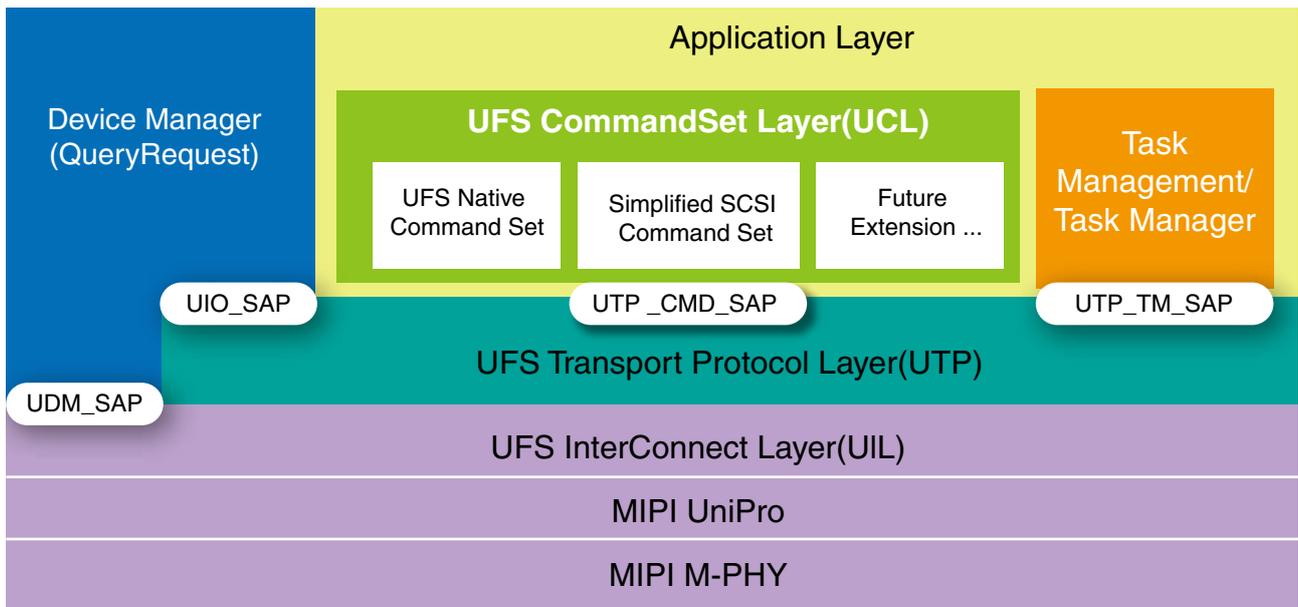
- 8. DDR NAND Flash規格已逐步由200MT/ s邁向400MT/ s。
- 9. eMMC最新(後)規格eMMC4.5, 預計於今年六月發表。
- 10. 繼UFS1.0後, UFS1.1(1.01)將會整合eMMC4.5的新功能。

後記：

JEDEC JC-16, 40, 42, 45, 63, 64小組的國際標準制定會議, 2011年第二次標準制定會議將於6月6-10日假加拿大溫哥華舉行, 6月22日將於新竹國賓舉辦JEDEC Mobile Memory Forum, 歡迎JEDEC會員公司派員參加, 若您對JEDEC會議有興趣, 但尚不是JEDEC會員, 歡迎與台灣半導體產業協會(TSIA)吳素敏資深經理聯絡(Tel:03-5913477; Email:julie@tsia.org.tw), 或與TSIA 『消費性電子記憶體介面標準推動小



組( Consumer Electronics Memory Interface Forum )召集人, 凌陽核心科技-李桓瑞技術長(Tel: 03-5786005; Email: henry.lee@sunplusct.com)聯絡。



# 2011 第一次 WSC 環安小組會議紀要

呂慶慧資深研究員/工業技術研究院

2011年世界半導體協會第一次環境安全衛生功能小組(WSC ESH TF)會議，於2011年2月21日至2011年2月23日在中國上海舉行。本次會議主要分為三個主題進行討論，分別為：PFC, PFOS, Energy Savings。本次環境安全衛生功能小組會議，是由環安衛委員會許芳銘主委領隊，台積電黃中一副理、聯華電子賴懷仁副處長、及工研院呂慶慧資深研究員參加。在本次會後並與中國半導體協會於2月28日共同舉辦「海峽兩岸高科技業研討會」，加強TSIA與CSIA會員公司在環安衛的交流活動。

本次會議進行3天，第一天早上進行前一次會議的報告與後續執行說明，下午則依三個場地進行不同主題之分組討論。第二天早上持續分組討論，第二天下午進行綜合意見分享。第三天進行本次會議結論及進行對JSTC報告的建議結論。

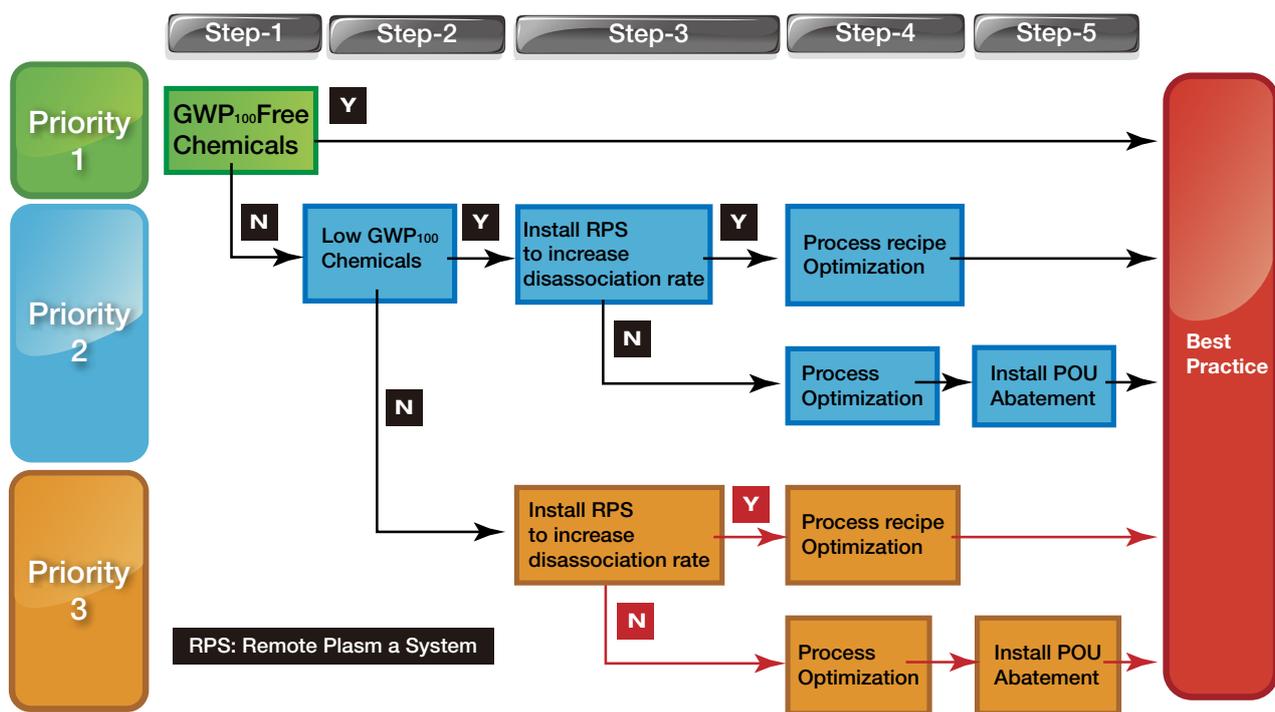
會議首先由CSIA報告本次會議的主題及其相關程序，並確認各項主題研討的方向。

在各國法規更新方面，各區域皆表示溫室氣體

制訂法規已有進一步的立法進度，在美國，Cap and Trade雖被國會遲延，但環保署已公告申報制度，將嚴格限制申報格式與內容。美國環保署年已通過溫室氣體裁剪法（GHG Tailoring Rule），並在2011年1月1日生效。規定任何大幅增加溫室氣體排放量的計畫自2011年起，須取得清空法許可。溫室氣體裁剪法涵蓋占全國溫室氣體固定源70%的發電廠和煉油廠等大型工業設施。為確保各州大型設施能取得該法所規定的排放許可，該署日前提出兩項規定，其一，要求13個州變更其許可核發規定，納入溫室氣體排量，其他各州則審視現有許可核發規定，若無溫室氣體相關規定則須告知該署。韓國已建立國家溫室氣體交易平台，並預計於2011年12月公告大型企業溫室氣體排放目標及建立溫室氣體管理系統。日本開始在東京開始執行碳排放交易，未來將擴展至其它都市。歐盟開始研擬更新氟氣體法規。

另外美國提出了衝突礦石法案最新進度分享報告。美國半導體協會指出，美國國會已通過禁止衝突礦石使用的法案，並在今年四月時提出執行程





PFCs之 Best Practice執行流程

序。有關消費性電子產品元件常用的原料鉍、錫、鎢等礦物，已成為國際人權組織與美國國會群起撻伐的「衝突礦石」(conflict minerals)，要求企業在採購時應予認證規範，恰如近年來國際社會的關切焦點「血鑽石」(blood diamonds)與「衝突可可亞」(conflict cocoa)。報告指出，這些礦產已成為產地非洲剛果民主共和國武裝叛亂團體的主要財源，用來交易軍火、延續其與政府軍間的血腥衝突、蹂躪當地平民，因此引發國際爭議。美國國會促立法，切斷供應鍊。

在各小組的討論結果方面分述如下：

**在PFCs方面：**TSIA提出了具體的減量計畫及後京都執程序並確認可達成目標，由其它協會提出之數據顯示，整體WSC的目標在目前已達成。面對後京都的管制目標，各國皆已接受排放強度做為目標，TSIA在會前已先行提出世界半導體協會未來在PFCs減量Best Practice程序指引的研擬工作，本項指引已被各協會接受做為未來達成目標的最佳指導原則。本項指引其流程可如上圖所示。其中說明了各

公司仍應持續進行製程調整以減少PFCs的使用。同時評估各製程使用低暖化潛勢之替代性化學品之可能性。對於尾氣的處理原則，在舊有廠房在移機或增加生產線時，應該安裝高溫的尾氣處理設施。在建構新廠房時，則需要全面安裝高溫的尾氣處理設施。惟日本仍再三強調現有廠與未來新廠之間的差異仍需要特別注意。在美國方面，對新廠已要求最佳可行性的控制技術與NER並重。歐盟則提議仍需要進行絕對排放量的監控，以建立未來WSC各協會間具有一致性的目標。

**在PFOS方面：**各協會已達成自願減量協議目標，WSC已較2005年降低約82%關鍵用途的使用，並經由替代及高溫破壞減少99%的排放量。目前各供應商已停止生產新的PFOS產品。未來本產業將著重在PFOA的減量，此議題亦將在未來2-5年會被立法。PFOS將在下一大會時正式更改為化學品的工作小組。

**在Energy Savings方面：**ESH-TF同意規劃2010年後的能源效率政策架構，並基於整體能源使用量，

由2010年至2020年逐步邁向減少15%的能源使用目標。本次會議經與SEMI研討後，建議WSC應向SEMI總部提出設備能源改善的計畫。設備使用端WSC各會員公司提出了新的計算矩陣，研擬出未來的量化指標。本新的計算矩陣將在2011年第一季完成總電能的使用計算方式，2011年第二季完成總電能的後京都時間基準線計算，2011年9月開始研商目標。

在JSTC會議後，TSIA與CSIA共同舉辦海峽兩岸高科技業環安技術研討會，協助半導體及光電產業(TFT-LCD、LED及太陽能電池)等高科技產業製造時，降低因使用大量的化學品與無塵室精密設備，對環境與人員的負面影響。

研討會的各项內容如下表說明：

主講題目	報告內容	報告人
TSIA環安衛委員會運作與成果經驗分享	TSIA環安衛委員會成立了10年以上，在委員會下成立化學品、溫室氣體、能源管理及廢棄物處置四個工作小組。分別協助產業配合政府修訂法規、邀請專家進行技術說明，TSIA在環境安全衛生的議題方面，蒐集了50餘項的數據。經由相關數據的比對與分析，提供產業製程改善與法規研商的基礎。	呂慶慧(ITRI)
高科技化學品使用與管理風險	說明半導體產業溶劑、特氣和化學品、PFOA和PFOS未來使用情境與管理策略。	黃建沅(聯電)
TSMC之PFCs減量成效與最佳方案	說明台灣半導體產業在溫室氣體PFCs排放的減量程序及協會之間共同合作減量機制。	許芳銘(台積電)
高科技廠房氣態污染物控制技術	1.針對半導體、LED、LCD與太陽光電產業，介紹全球最先進的local scrubber處理技術與設備。 2.針對IC奈米先進製程，介紹最新的氣態微污染(airborne molecular contamination, AMC)偵測與控制技術與設備。	李壽南(工研院)
節能高效率Local Scrubber技術	該公司研究設備為台灣地區廠商自行研發並廣泛被高科技產業接受的設備。以有效低溫的PFCs破壞去除設備，降低PFCs溫室氣體的排放。	莊涵翔(臺禹科機)
高科技廠房汙染物在線(on-line)量測分析技術	說明半導體/ TFT-LCD / LED / PV Solar 汙染物(氣體/液體)在線量測分析技術、經驗與成果分享。	劉貴華(聯宙科技)
高科技廠房智慧型污染自動控制系統	介紹高科技廠房內製程氣體洩漏暨製造環境污染之即時監測、診斷與回饋控制系統。	楊政諭(亞翔工程)
台灣高科技產業廢水處理與案例分享	報告重點包含半導體、TFT-LCD、LED及太陽能電池的廢水特性。並藉由工研院在此領域的研究成果包含厭氣處理、薄膜技術及物化處理程序，協助解決台灣高科技產業的廢水問題。	梁德明(工研院)
產業廢水高級處理與回收技術	報告重點包含FBR- Fenton處理技術、MBR薄膜技術及電滲析水脫鹽回收技術，協助相關產業進行用水回收及節水措施。	周厚志(松喬科技)



# TSIA第八屆理事長出爐

吳素敏資深經理 / TSIA



TSIA理監事合影

台灣半導體產業協會年度會員大會於100年3月31日圓滿落幕，會中順利選出第八屆理監事，當選之理事共15席，包括（依姓名筆劃順序排列）晶圓製造類：世界先進方略總經理、聯電孫世偉執行長、南亞科連日昌總經理、華邦詹東義總經理、茂德曾邦助副總經理、力晶黃崇仁董事長、台積電蔡力行新事業總經理；IC設計類：威盛陳文琦總經理、世紀民生湯宇方總經理、凌陽黃洲杰董事長兼執行長、聯發科蔡明介董事長暨執行長、鈺創盧超群董事長暨執行長；封測類：矽品于有志副總經理、日月光唐和明總經理暨研發長；研發類：工研院電光所詹益仁所長。新當選監事共三席，包括晶圓製造類：鉅晶蔡國智董事長；IC設計類：凱鈺李訓豐總經理；封測類：力成鄭志明資深副總經理。

當選之第八屆理監事於會員大會後旋即召開第一次理監事會議，選舉常務理事、理事長及監事。五席常務理事由聯電孫世偉執行長、華邦詹東義總經理、力晶黃崇仁董事長、台積電蔡力行新事業總經理暨及鈺創盧超群董事長當選（以姓名筆劃順序排列），台積電蔡力行總經理也在所有理事的推舉下，蟬連理事長。監事長則經由監事推選，由鉅晶蔡國智董事長蟬連。所有新任理事長、常務理事、監事長及理監事將於今年6月1日正式上任。

新聞聯絡人：台灣半導體產業協會

吳素敏資深經理 電話：03-591-3477

Email: julie@tsia.org.tw



# 台灣半導體產業協會第八屆 第一次會員大會會議記錄

黃佳淑經理彙整/TSIA

**時間：**民國100年3月31日 16：00～18：00

**地點：**新竹國賓飯店10樓國際廳B

**出席人員：**應出席廠商家數79家，實際出席廠商家數53家

**列席人員：**生產製造技術委員會許堯壁主任委員、市場資訊委員會林正恭主任委員、環安衛委員會許芳銘主任委員、財務委員會盧展雄主任委員、技術藍圖委員會Carlos H. Diaz主任委員(請假)、IC設計委員會吳誠文主任委員、產學合作推動小組張彌彰召集人(請假)、半導體學生委員會羅正忠主任委員(請假)、本會伍道沅執行長

**主席：**蔡力行理事長

**記錄：**石英堂



TSIA蔡力行理事長致詞



TSIA伍道沅執行長進行會務報告

## 一、主席致詞：(略)

## 二、報告事項：

上一次會員大會決議事項執行情形報告及會務報告

## 三、討論提案：

### 案由一：審核九十九年度經費收支決算表

**說明：**本會九十九年度經費收支決算累計結餘新台幣壹仟貳佰伍拾陸萬壹仟壹佰零參元整，於第七屆第九次理監事會議討論通過，提報本次會員大會追認。

**決議：**通過。

### 案由二：審核一〇〇年工作計畫

**說明：**工作計畫，經本會第七屆第八次理監事會議討論通過，提報大會審議。

**決議：**通過。

### 案由三：審核一〇〇年度經費收支預算表

**說明：**配合年度工作計畫項目，參考上年度經費收支情形，編列新台幣貳仟玖佰伍拾萬元整，先經本會財務委員會審查通過，再經本會第七屆第八次理監事會議討論通過，提報大會審議。

**決議：**通過。



TSIA蔡力行理事長主持提案討論

**四、臨時動議：無**

**五、致贈委員會主委與召集人紀念品**

**六、選舉第八屆理事、監事**

（監票人：鄭志明；發票人：劉夢玲等秘書處工作人員；唱票人：無，採電腦計票；記票人：委託「財團法人中華民國電腦技能基金會」現場電腦計票）

※當選理事計票結果如下：(有效票數391票 廢票數12票)

于有志（290票）、方略(301票)、唐和明（290票）、孫世偉（353票）、連日昌（312票）、

陳文琦（291票）、曾邦助（294票）、湯宇方（286票）、黃洲杰（299票）、黃崇仁（345票）、詹東義（333票）、詹益仁(300票)、蔡力行（373票）、蔡明介（307票）、盧超群（358票）

※當選監事計票結果如下：(有效票數386票廢票數11票)

李訓豐（306票）、蔡國智（375票）、鄭志明（304票）

**十三、散會**



頒發委員會主委與召集人紀念品

# TSIA會員聯誼晚會活動花絮

黃佳淑經理彙整 / TSIA



聯誼晚會來賓交流時間



Keynote演講貴賓-國立清華大學 榮譽講座教授 劉炯朗 蒞臨晚會



劉教授精彩的演說



TSIA蔡力行理事長致贈講師紀念品



聯誼晚會盛況



陳迪爵士樂團



迷火佛拉明哥舞坊精彩舞技



理事連日昌總經理抽出第一波的幸運得主- 三獎行車錄影紀錄器



三獎幸運得主- 台積電翁一誠先生



三獎幸運得主- 華邦電子邱濱棋先生



三獎幸運得主- 茂德科技邱皇文先生



監事長蔡國智董事長抽出二獎- Xbox360遊戲機



二獎幸運得主- 世界先進徐莉莉小姐



二獎幸運得主- 凌陽科技沈文義先生



常務理事孫世偉執行長抽出頭獎- ViewPad 10s行動娛樂智慧平板電腦



頭獎幸運得主- 威盛電子陳建名先生



蔡力行理事長抽出第一特獎- Apple iPad



第一特獎幸運得主- 威盛電子邱士維先生



# TSIA委員會活動摘要

劉夢玲經理/TSIA

## (一)、生產製造技術委員會 (主委：聯電/許堯壁處長)：

- 100年1月21日伍道沅執行長、台積電陳文耀處長與台積電許強副理討論 e- Manufacturing & Design Collaboration Symposium 2011與ISSM 2011合併舉辦細節。
- 100年2月9日召開The Joint Symposium of e-Manufacturing & Design Collaboration 2011 and ISSM 2011第一次籌備會討論：研討會組織與委員會邀請名單、分工計畫、預算安排、回覆日本ISSM 內容、網站架構與工作時程計畫。
- 100年3月2日召開The Joint Symposium of e-Manufacturing & Design Collaboration 2011 and ISSM 2011第二次籌備會討論：研討會組織與委員會邀請名單、分工計畫、預算編列、Call for paper細節、工作時程計畫。

## (二)、IC設計委員會 (主委：工研院資通所/吳誠文所長)：

- 99年12月13日舉辦TSIA IC設計委員會會議暨歲末設計之友聯誼餐會，於新竹國賓大飯店舉行，共有25位業界CEOs及中高階主管參與盛會。感謝思源科技獨家贊助本活動，更感謝思源科技驗證技術研發副總經理-許有進蒞臨晚宴演講，分享"Towards Verification Closure"專題。
- 99年12月23日召開TSIA消費性電子記憶體介

面標準工作小組「JEDEC會後會暨歲末聖誕餐會」，由晶豪科技王詠慧經理報告2010年9月13-17日美國丹佛(Denver, CO, US)會議成果。華邦電子邱濱棋部經理報告2010年12月6-10日美國舊金山(San Francisco, US) JEDEC會議DRAM最新情形；群聯電子余昭倫特助報告Flash部分。

- 99年度半導體學院短期培訓課程，開班：4班，培訓人次：計54人次，10月28日完成課程評比。
- 100年1月5日召開IP WG meeting。
- 100年1月27日參加2010年度半導體學院說明會。會後並召開課程規劃會議：分別由明新科大王木俊老師、CIC鄧聿辰導師、交大陳志龍老師等召開課程規劃會議，並經本會執行長及工研院資通所吳誠文主委核可。
- 100年2月15日與ITRI合辦3D TSV for Logic + Memory and Memory Stack Workshop，邀請JEDEC資深成員沈武博士做專題演講，計有凌陽核心科技、工研院、南亞科技、華邦電子、晶豪科技、聯發科、鈺創科技等公司蒞會。
- 100年2月18日完成課程規劃計畫摘要書，並提報計畫，含長期佈局設計工程師訓練班1班及設計、製造、封裝、測試，共送審12門短期班課程。預計2月底審核，3月公告入選課程並簽約，4月開始廣宣，5-6月正式開課。



- 100年2月28日-3月4日參加JEDEC國際標準制定會議，由點序科技及華邦電子代表出席。

### (三)、技術藍圖委員會（主委：台積電/林本堅資深處長）：

- 99年12月12-14日台積電林本堅資深處長及旺宏劉瑞琛副總等代表協會，參加於日本筑波、幕張舉行之ITWG/IRC冬季會議。

### (四)、市場資訊委員會（主委：華邦/林正恭副總經理）：

- 99年11月30日於新竹國賓大飯店國際會議廳舉辦「台灣半導體產業趨勢暨雲端風暴專題研討會」，季報解讀由工研院產經中心陳玲君分析師剖析產業趨勢及3D IC產業動態觀察與展望，特邀加拿大Dr. Songnian Zhou, CEO of Platform Computing分享雲端專題及趨勢。專題部分特別感謝加拿大駐台北貿易辦事處協助，及邀請Mr. Brendan Murphy, Deputy Director蒞會致詞。
- 99年12月1日與南部科學園區產學協會半導體推廣委員會、國立臺南大學、南部科學工業園區管理局合作，於台南南科管理局演講廳舉辦第二場「台灣半導體產業趨勢暨雲端專題研討會」(台南場次)。
- 99年Q4 SICAS 統計資料於100年2月3日送出，2月10日提供予台灣SICAS會員。
- 100年3月30日於工研院舉辦「台灣半導體產業暨中國優質平價產品市場發展趨勢研討會」，邀請工研院產經中心陳玠璋分析師及資策會洪春暉副主任蒞臨演講。

### (五)、財務委員會（主委：瑞晶電子/盧展雄董事長特助）：

- 99年12月10日(五)假交通大學電子資訊大樓第一會議室，辦理「營利事業所得稅及營業稅近來常見違章案例分享」研討會，由資誠聯合會計師事務所-許祺昌執業會計師主講，共115人參加。

- 100年2月23日(三)假TSIA會議室召開第七屆第二次財委會會議，討論100年度研討會辦理計畫。會中決議第二季與安侯建業聯合會計師事務所合辦有關科技事業導入IFRS應用實務相關議題研討會。第三季與資誠聯合會計師事務所合辦智財權相關議題研討會。第四季與勤業眾信會計師事務所合辦大陸研發扣抵相關議題研討會。

### (六)、環保安全衛生委員會（主委：台積電/許芳銘副處長）：

- 99年12月10日召開WSC ESH TF 會前籌備會。
- 100年1月7日黃中一副理、呂慶慧顧問參加WSC Energy Saving WG 電話會議。
- 100年1月14日許芳銘主委、呂慶慧顧問、邱瑜燕顧問代表協會出席100年度綠色工廠推動工作啟始會議。
- 100年1月18日召開2010年第一次 ESH 委員會會議討論：參與工業局下一階段自願減量研商、半導體業清潔生產評估系統專則、PFC Best practice 報告、先期減量進度說明、二月WSC之ESH會議議題研商、100年度環安基金分配。
- 100年1月14日許芳銘主委、呂慶慧顧問、黃中一副理代表與CSIA進行電話會議討論。
- 100年1月15日由許芳銘主委、呂慶慧顧問、黃中一副理代表參加WSC ESH TF 主席電話會議討論二月上海會議議程、後2010

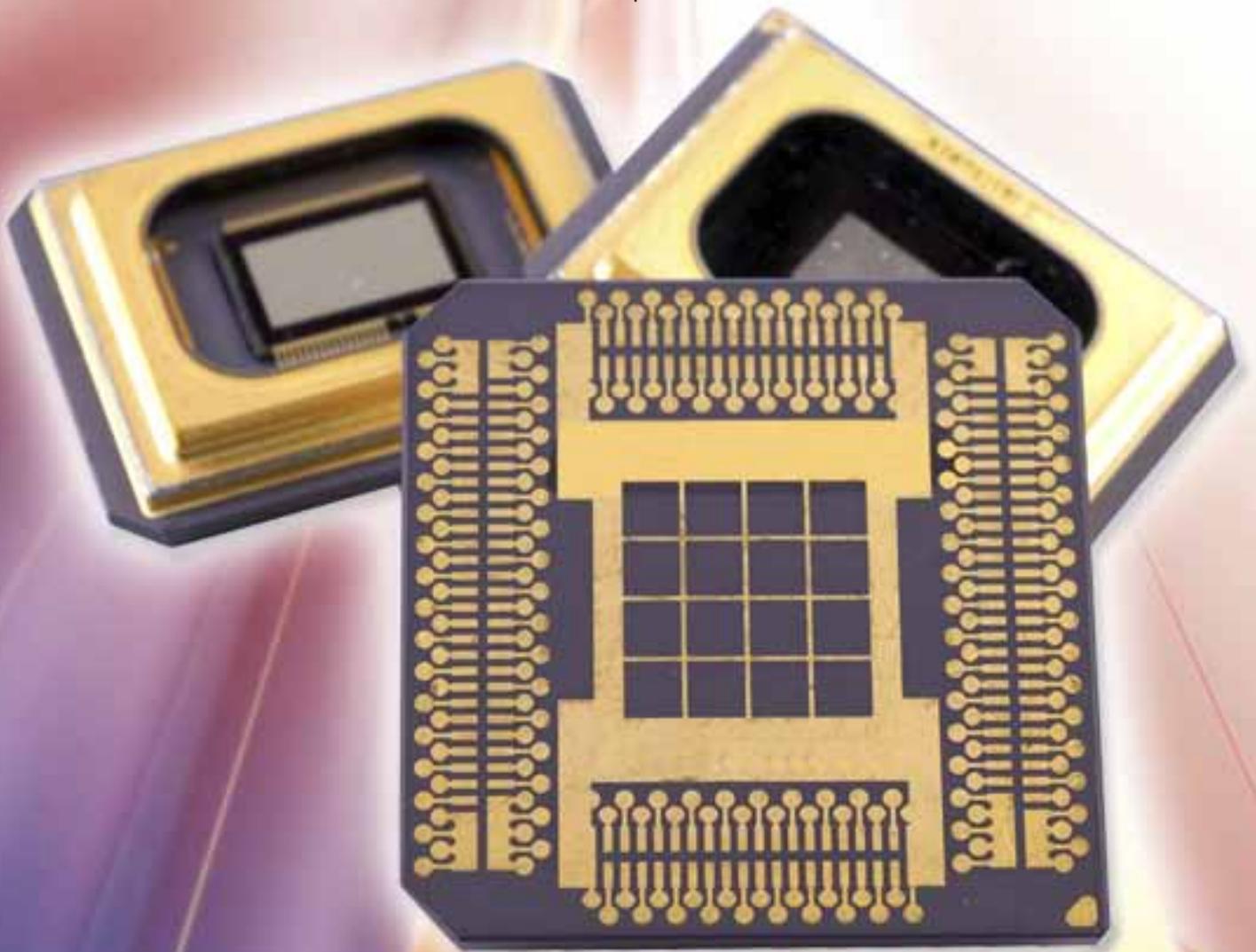


年 PFC 及能源減量目標、邀請SEMI 參加節能工作小組之工作模式。

- 100年1月15日由鄭如琇代表協會出席全國工業總會召開之100年度產業溫室氣體管理輔導計畫「第一次自願減量推動工作會議」。
- 100年2月18日由黃中一副理代表協會出席環保署召開之「晶圓製造及半導體製造業放流水標準諮商會」。
- 100年2月21-25日由許芳銘主委率領黃中

一副理、呂慶慧顧問、賴懷仁副處長、石英堂資深經理等人出席於中國上海舉辦之 JSTC 會議與 2011年第一次ESH TF 會議。

- 100年2月28日於上海千禧海鷗大酒店主辦「海峽兩岸高科技業環安技術研討會」。
- 100年3月4日會員公司代表出席環保署召開之「電力業、鋼鐵業、水泥業、半導體業及液晶顯示企業溫室氣體公告排放強度（草案）研商會議」。



# 97年度半導體學院計畫 中長期養成人才培訓班學員成果展及交流活動

指導單位：經濟部工業局 執行單位：資訊工業策進會 開班單位：台灣半導體協會  
97年10月29日



2006學員成果暨媒合會剪影



2008學員成果暨媒合會剪影

## TSIA半導體培訓 課程成果報導

江珮君/TSIA

TSIA除以凝聚半導體業界對產業發展的共識，及促進整體產業的健全發展為目標外，也定期辦理國際、國內相關研討會，同時開辦培訓課程，以提供業界工程師一個進修的平台，自民國92年即已參與經濟部工業局推動半導體人才培訓計劃至今，成果豐碩。

TSIA假新竹交通大學開課，包含長期班及短期班之課程。為了達成培訓半導體產業所需人才之目標，已開有培訓長期班8班，學員172人；短期班49班，學員1,097人，共計1,269人次。長期班的部分，也協助八成以上的學員成功就業，短期班的部分也提供在職人士進修及培育第二專長的機會，解決了業界技術人才不足之困難。協會課程除了涵蓋半導體設計、製造、封裝、測試等課程之外，近年來也漸漸在新興產業及跨領域等課程開課。

為了持續服務會員，也為了提昇協會課程訓練之功能及服務品質，也期望會員不吝給予協會意見，以便作為日後改進及課程規劃的參考。您的寶貴意見，將成為協會更上層樓的動力。

民國100年課程在6月中旬陸續開始授課，希望大家把握這個機會，授課地點都在新竹交大校區，交通十分便利。簡章及報名事項，請電洽03-591-3181江小姐或至協會官網<http://www.tsia.org.tw>索取，謝謝。



2008學員上課概況剪影



2008學員上課概況剪影



2008學員上課概況剪影



2008學員成果發表會剪影



2007半導體學院媒合會剪影

# 新會員介紹

## 愛爾蘭商明導國際(股)公司台灣分公司 Mentor Graphics (Ireland), Ltd., Taiwan Branch

### 公司概況：

愛爾蘭商明導國際股份有限公司台灣分公司(Mentor Graphics)是電子軟體、硬體設計解決方案以及顧問諮詢服務的主要供應廠商。公司的客戶包括了全球最大的電信、汽車、消費性電子產品、電腦、半導體、以及航太工業廠商。明導幫助他們在更短的時間中，建立效能通高、品質更好的產品。身為「電子設計自動化」(EDA; Electronic Design Automation)產業的先鋒，明導協助客戶發展新的產品，並且將這些設計最佳化，讓這些客戶在全球的市場上競爭，並且成為明日最成功的電子廠商，整體來說，明導不僅克服了技術複雜性所帶來的困擾，還可以幫助客戶滿足產品上市的時間壓力，並且鼓勵技術與觀念的創新。

**公司產品：**電子軟、硬體設計解決方案以及顧問諮詢服務、超大型積體電路整套軟體系統電腦輔助設計工具、全自動化印刷電路整套軟體系統電腦設計工具、嵌入式工具/即時作業系統輔助設計工具。

**公司網址：**<http://www.mentor.com.tw>

## 立錡科技股份有限公司

### Richtek Technology Corp.

#### 公司概況：

立錡科技成立於1998年，是國際級的電源管理IC設計公司。我們專注於提供客戶最多元且最具競爭力的電源管理IC產品以及完整的電源解決方案。立錡科技一直以來在技術創新所做的努力，廣受業界及媒體朋友肯定。2004年9月，立錡科技並受邀至業界最受矚目的Intel 技術研討會(Intel Technology Symposium) 分享我們在技術開發上的成果，成為亞洲首家在ITS發表研究成果的電源管理IC供應商。此外，立錡科技的經營成果、創新精神與文化以及卓越的管理能力亦廣受業界好評。

**公司產品：**電源轉換IC、電源管理IC、電源保護IC、以及驅動IC與功率放大器。

**公司網址：**<http://www.richtek.com>

# 大唐溫泉物語泡湯趣



長生殿求籤區

在一波又一波寒流來臨的冬季，公司貼心的為員工舉辦了這次大唐溫泉物語泡湯行程。大家都知道台灣北部最熱門的泡湯地點不是在陽明山就是在烏來，再不然就是到中部的苗栗泰安溫泉，沒想到在台北縣八里鄉也有溫泉！正如事先就拿到的大唐溫泉物語旅館的DM上所寫的文案：「我，在大唐溫泉物語，感受心靈深處的桃花源，沁浸在恰到好處的溫度中，享受釋放的節奏，隨著泓泉的律動。」這段話，讓一行人懷抱著好奇與期待，帶著兩天一夜的行囊，前往大唐溫泉物語。

從新竹出發，經由中山高下五股交流道後，接台64線快速道路往八里方向走，之後銜接台15線行

朱雀道街景

老迪

進，約1個小時就抵達大唐溫泉物語。原來這裡就是八仙水上樂園，路口招牌寫著：「夏天玩水樂，秋冬泡湯趣」，這樣的路程頗為輕鬆。一進大門，旁邊有一個生態園區，中間則有一棟古式的建築，這是仿唐代長安的主題溫泉旅館。

我們先到旅館的櫃檯辦住房，在2樓明亮的大廳還感受不到明顯的唐式風格，辦完住房後，飯店人員交待進了園區就不能穿外出鞋，也建議我們換上房內的唐式浴袍，飯店也早為小朋友備好浴袍了。難怪在飯店裡看到的客人都是穿著浴袍，頓時有穿越時空隧道的感覺。飯店人員又給了兩個腕帶，在這間旅館所有的消費都可以用腕帶感應，等辦退房時再一併結算，如此一來，泡湯時就不用帶著隨身物品，而貴重的物品可以鎖在房內保險箱，真是相當貼心又方便的設計。

一家大小因為要先到餐廳用中餐，於是走進了1樓，映入眼簾的就是完全古式的裝潢和街景，連服務生也都穿著古裝。我們一路經過了朱雀大道-又名



旅館外一角

叫朱雀不夜天，呈現大唐盛世且熱鬧非凡的生活景象，沿途掛滿了各式花燈，相當美麗。路邊有許多古式童玩區，也能自費參加歷朝服飾的變裝照、拓碑或是DIY遊戲，如製作手工皂或是蠟燭，不論大人或是小朋友都可以參加，一起同樂。園內也有不少美食攤位，有中式餐飲、西式自助餐或是飲品店，整體來說，只要待在旅館內，這些設施已可滿足遊客吃喝玩樂的需求。

值得和大家分享的是，這裡每個區塊都取了古式的名字，如：朱雀道、將進酒、白雪歌、清平調、胡姬酒肆等。園區內也有幾個休息區，如塞下曲、桃源行等。購物地點則有烏衣巷、金縷衣、遊子吟等，可購買精品或是地方特產等紀念品。

在朱雀大道上，還有一個很特別的地方，叫做長生殿，長生殿設有求籤區，上面掛滿了遊客們對親人朋友的祝福或是想念字籤。

來到這裡，一定要做的事就是泡湯。整個園區對於泡湯的規劃也是一大重點。這裡的溫泉以「黃金美人湯」著名，泉水為淡淡的金黃色，耗資六億，費時八年，並請日本鑛研公司在八仙海岸現址深入地底下1100米所挖掘出這樣的自然湧泉。且經日本中央溫泉研究所檢定通過，完全符合日本國溫泉法所規定之正式天然溫泉。此溫泉屬於氯化鈉和碳酸氫鈉泉，係屬低張性、弱鹼(PH7.8)及高溫性質(50°C)的優良療養泉，特別適合有腸胃疾病或肩頸酸痛的人使用，但是有慢性皮膚病、割傷或是燙傷的朋友得要避免使用。

泡湯區則要從牡丹露華濃(迎賓廳)開始講起，走進迎賓廳可以看到一大塊背板，上面有各種花色的浴袍sample供泡湯的客人挑選，也有適合兒童的花色，也有親子裝可選擇。換好裝後，喜歡裸湯的遊客可以到「桃花豁」，喜歡大眾湯的遊客可以到「芙蓉園」，「芙蓉園」內還有分高、中、低池和足療池，風味風呂(生薑、玫瑰、青草、薄荷和薰衣草等)、超音波池、蒸汽浴和烤箱等。喜歡SPA的旅客也可以選擇做個人的芳療SPA。此外，若是家庭或情侶想獨享私人空間，可以選擇「楓橋夜泊」，



烏衣巷(購物街)



芙蓉園



楓橋夜泊(個人湯屋)

這是專屬的個人湯屋，不過因為筆者一家已經訂了客房，因此早就決定要使用客房內的泡湯設施，完全沒有時間壓力，可以慢慢依自己的行程決定泡湯的時間。

談到住宿，這裡的住宿區也有個很美的名字叫「詩泊溫旅」。有和式、西洋式和南洋式客房，每種客房都有專屬的風格，供住客有更多選擇。客房內就有配置很寬敞的溫泉浴室，有100%的原湯可以使用，筆者所選的西洋式客房有兩張大床，相當適合小家庭住宿。如果您是團體旅遊，也可以選日式團體房。

對於這裡泡湯的心得是，這裡的泉水相當滑潤，也不太有味道，絕對能讓人了解到什麼叫「溫泉水滑洗凝脂」的感受，而且「黃金美人湯」適合較長時間浸泡，也因此連小朋友也可以一起享受泡湯的樂趣。如果時間充裕且氣候良好，還可到附近的十三行博物館參觀或是利用八里左岸自行車道享受單車行。

大唐溫泉物語 <http://www.tangspa.com.tw>

## 交通資訊

捷運+公車：往淡水捷運->捷運關渡站->轉乘紅13、紅22路公車->大唐溫泉物語(台15線11km)

### 開車：

1. 中山高下五股交流道->台64線八里方向->下八里交流道->台15線->大唐溫泉物語(台15線11km)
2. 北二高經國道2號往機場方向->大唐溫泉物語(台15線11km)
3. 台北市往士林、北投->大度路->關渡大橋->八里->大唐溫泉物語(台15線11km)
4. 台64線八里->新店高架快速道路->八里出口->大唐溫泉物語(台15線11km)



芙蓉園(大眾湯)

# TSIA 入會申請資格及辦法

歡迎申請加入TSIA台灣半導體產業協會，請至TSIA網站<http://www.tsia.org.tw>下載入會申請表，  
填妥後傳真至 03-582-0056 或 e-mail 到 [service@tsia.org.tw](mailto:service@tsia.org.tw)，我們將儘速與您連絡！

## 會員

團體會員	凡設籍中華民國之半導體產業相關機構（研發、設計、製造、構裝、測試、設備、材料），設計類資本額超過（含）新台幣一億元，晶圓製造、封裝、測試、光罩等類資本額超過（含）新台幣二億元，設備、零組件、材料等類資本額超過（含）新台幣四億元，並在台灣設廠者，填具入會申請書，經理事會審核通過，並繳納會費後，成為會員，並依據所繳常年會費數額推派代表二至三十人行使會員權益。
國際會員	凡總公司設於中華民國境外之半導體產業相關機構（研發、設計、製造、構裝、測試、設備、材料），在台灣設立分公司、辦事處或研發中心者，填具入會申請書，經理事會審核通過，並繳納會費後，成為會員。
贊助會員	捐助本會之個人或團體，並經本會理事會通過後，得為贊助會員。
榮譽會員	由理事會推薦頒贈。
個人會員	贊同本會宗旨，年滿二十五歲，從事半導體產業工作（研發、設計、製造、構裝、測試、設備、材料）五年以上，填具入會申請書，經理事會審核並繳納會費後，成為會員。



## 會費

入會費	會員（榮譽會員除外）於入會時，應一次繳納入會費新台幣壹萬元整			
團體會員	資本額 (新台幣/元)	常年會費/年	得派代表人數	
	二億以下	2萬元	2人	
	二億(含)~四億	4萬元	3人	
	四億(含)~十億	6萬元	4人	
	十億(含)~三十億	12萬元	6人	
	三十億(含)~一百億	18萬元	8人	
	一百億(含)~五百億	32萬元	12人	
五百億(含)以上	90萬元	30人		
常年會費	國際會員	級數	定義(根據加入會員時之前一年度排名)	常年會費/年(新台幣/元)
	A	全球前二十大半導體公司如Intel, TI, Samsung, IBM, Philips, ST, Freescale, Sony, 等		陸拾萬元
	B	全球前二十大IC設計公司如Qualcomm, Broadcom, NVIDIA等,及各國/地區前十大半導體相關公司,非屬於全球前二十大者		壹拾伍萬元
	C	其他		伍萬元
贊助會員	每年新台幣貳萬元整			
個人會員	每年新台幣壹萬元整			



如果您不是WSTS會員，又需要參考WSTS Data，請看這裡！

## 世界最具公信力的 半導體市場需求面WSTS統計資料

為加強服務台灣及周邊部分亞太區非WSTS會員，TSIA已與WSTS簽署 Distribution License Agreement，代為銷售WSTS統計資料給無End Product & foundry之非WSTS會員，即日起，TSIA會員價NTD30,000元；非TSIA會員NTD60,000元，以服務會員廠商。意者請填妥附件訂購單傳回協會，或洽協會03-5913477吳素敏資深經理，或上網<https://wsts.tsia.org.tw>。

### 亞太區銷售點

#### ※代理銷售地區包括：

台灣、香港、中國大陸、馬來西亞、印尼、菲律賓

#### ※WSTS出版品包括：

- ☆藍皮書 (Blue Book)，每月出版
- ☆綠皮書 (Green Book)，每月出版
- ☆預測報告 (Forecast Report)，每半年出版
- ☆年度報告 (Annual Report)，每年出版

#### ※年度費用：

TSIA會員價NTD30000元

非TSIA會員NTD60,000元

世界半導體貿易統計協會(World Semiconductor Trade Statistics；簡稱WSTS)已有27年歷史，1975年由美國半導體協會(SIA)創立，當年即有美國十大半導體廠商加入；1981、1984、1992、1995年分別有歐洲、日本、韓國、台灣主要半

導體廠商先後加入，並由各地區的半導體協會協助會員業務聯絡及新會員招募，如台灣區即由台灣半導體產業協會(TSIA)協助。至2002年WSTS的會員統計資料顯示，已含全球半導體90%的產出，據使用過此資料的會員表示，全球各分析機構的報告，以WSTS統計的歷史資料，最為準確，對未來市場產品的分析，最具參考性。

WSTS目前已有全球超過70家半導體廠商加入，依地理及產能分佈，全球分為美國區(含INTEL、AMD、IBM、TI、LUCENT、MICRON…)、歐洲區(含PHILIPS、INFINEON…)、日本區(含TOSHIBA、MATSUSHITA、NEC、SONY…)、亞太區以韓國、台灣為主(含SAMSUNG、HYNIX、VANGUARD、WINBOND、NANYA、MACRONIX…)等四大區。會員每月需按WSTS所規範的產品、產業及地理區域格式，填寫實際出貨數

字，並依此每月出版藍皮書(Blue Book)、綠皮書(Green Book)，每季出版全球四大區域出貨資料，每年出版產業應用及區域出貨分析給各會員作為市場分析參考；並於每半年在全球四大區域輪流召開半年會，於會中檢討WSTS格式以因應外界變化而隨時修正，並由會員輪流作各區域的總體經濟分析，產品及產業應用分析，並對下二年度依每季的產品需求作出未來的預測。WSTS半年會旨在對全球半導體廠商做未來兩年全球半導體的預測。在會議中，各半導體公司代表針對不同的產品線，發表並交換對未來預測的看法。經過熱烈討論，達成共同的數字預測後，再對外界發表。WSTS預測報告(Forecast Report)對公司之產業預測具參考價值。另依據以上資料彙整出版年度報告(Annual Report)，亦深具參考價值，歡迎訂購。